

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 4月21日

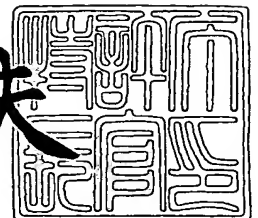
出願番号  
Application Number: 特願2003-115351  
[ST. 10/C]: [JP2003-115351]

出願人  
Applicant(s): セイコーエプソン株式会社


2004年 3月30日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3026043



【書類名】 特許願

【整理番号】 PA04F736

【提出日】 平成15年 4月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 11/401

【発明者】

    【住所又は居所】 長野県諏訪市大和三丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 大塚 栄太郎

【発明者】

    【住所又は居所】 長野県諏訪市大和三丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 水垣 浩一

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 110000028

    【氏名又は名称】 特許業務法人 明成国際特許事務所

    【代表者】 下出 隆史

    【電話番号】 052-218-5061

【手数料の表示】

    【予納台帳番号】 133917

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0105458



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ装置におけるリフレッシュ制御および内部電圧の生成

【特許請求の範囲】

【請求項1】 半導体メモリ装置であって、  
ダイナミック型のメモリセルを有するメモリセルアレイと、  
前記メモリセルアレイのリフレッシュ動作を実行するためのリフレッシュ制御部と、  
を備え、

前記リフレッシュ制御部は、  
前記リフレッシュ動作の実行タイミングの決定に使用されるリフレッシュタイミング信号を周期的に発生させるリフレッシュタイミング信号発生部と、  
前記リフレッシュタイミング信号に応じて、前記リフレッシュ動作の実行要求を示すリフレッシュ要求信号を発生させるリフレッシュ要求信号発生部と、  
前記リフレッシュ要求信号と他の信号とに応じて、前記リフレッシュ動作の実行を示すリフレッシュ実施信号を発生させるリフレッシュ実施信号発生部と、  
を備え、

前記リフレッシュ要求信号発生部は、  
前記リフレッシュタイミング信号の発生回数をカウントするための第1のカウントと、  
前記リフレッシュ実施信号の発生回数をカウントするための第2のカウントと、  
を備え、

前記リフレッシュ要求信号発生部は、前記リフレッシュタイミング信号の発生回数と前記リフレッシュ実施信号の発生回数との差分が1以上である場合に、前記リフレッシュ要求信号を発生させ、

前記リフレッシュ実施信号発生部は、前記差分が2以上である場合には、前記リフレッシュタイミング信号の1周期内に前記リフレッシュ実施信号を2回以上発生可能であることを特徴とする半導体メモリ装置。

【請求項 2】 請求項 1 記載の半導体メモリ装置であって、さらに、

外部装置から与えられる外部アドレスであって、行アドレスと列アドレスとを含む前記外部アドレスによって指定されるメモリセルに対して、外部アクセス動作を実行するための外部アクセス制御部を備え、

前記外部アクセス制御部は、前記列アドレスに含まれる所定のビットのみが変化する場合には、前記行アドレスによって選択されるワード線を活性化状態で維持し、

前記リフレッシュ制御部は、前記ワード線が活性化状態で維持される場合には、前記外部アドレスに含まれる前記所定のビット以外のビットが変化するまで、前記リフレッシュ実施信号の発生を延期する、半導体メモリ装置。

【請求項 3】 請求項 2 記載の半導体メモリ装置であって、

前記リフレッシュ制御部は、

前記リフレッシュ実施信号の発生を 2 回以上延期した場合には、

前記外部アクセス動作を実行可能な第 1 の動作モードでは、前記外部アドレスに含まれる前記所定のビット以外のビットが変化する毎に、順次前記リフレッシュ実施信号を発生させ、

前記外部アクセス動作が禁止される第 2 の動作モードでは、連続的に前記リフレッシュ実施信号を発生させる、半導体メモリ装置。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載の半導体メモリ装置であって、

前記第 2 のカウンタのビット数は、前記メモリセルアレイに含まれる行数に整合するように設定されており、

前記リフレッシュ制御部は、前記第 2 のカウンタからの出力値を、前記メモリセルアレイ内の任意の 1 行を指定するリフレッシュアドレスとして利用する、半導体メモリ装置。

【請求項 5】 請求項 1 ないし 4 のいずれかに記載の半導体メモリ装置であって、

前記第 1 のカウンタのビット数は、前記第 2 のカウンタのビット数よりも小さく設定されており、

前記リフレッシュ要求信号発生部は、前記第1のカウンタからの出力と、前記第2のカウンタからの一部の出力と、を用いて、前記リフレッシュ要求信号を発生させる、半導体メモリ装置。

【請求項6】 請求項1ないし5のいずれにかに記載の半導体メモリ装置であって、さらに、

チャージポンプ回路を含み、外部から供給される電圧を用いて、前記半導体メモリ装置の内部電圧を生成するための内部電圧生成部を備え、

前記内部電圧生成部は、前記リフレッシュ実施信号発生部から供給される前記リフレッシュ実施信号を利用して、前記内部電圧を生成する、半導体メモリ装置。

【請求項7】 請求項6記載の半導体メモリ装置であって、前記リフレッシュ制御部は、さらに、

前記半導体メモリ装置の電源投入処理時に、前記2つのカウンタの出力値を異なる値に設定するための設定部を備え、

前記リフレッシュ制御部は、前記電源投入処理時には、前記2つのカウンタの出力値が一致するまで連続的に前記リフレッシュ実施信号を発生させる、半導体メモリ装置。

【請求項8】 半導体メモリ装置であって、チャージポンプ回路を含み、外部から供給される電圧を用いて、前記半導体メモリ装置の内部電圧を生成するための内部電圧生成部と、

前記内部電圧生成部にパルス信号を供給するためのパルス信号供給部と、を備え、

前記パルス信号供給部は、前記半導体メモリ装置の電源投入処理時に所定値を出力するための出力部と、前記パルス信号の発生回数をカウントするためのパルス信号カウンタと、を備え、

前記パルス信号供給部は、前記電源投入処理時に、前記出力部からの出力値と、前記パルス信号カウンタからの出力値と、が一致するまで連続的に前記パルス信号を発生させることを特徴とする半導体メモリ装置。

【請求項 9】 請求項 8 記載の半導体メモリ装置であって、  
前記出力部は、  
所定の周期信号の発生回数をカウントするための周期信号カウンタと、  
前記電源投入処理時に、前記周期信号カウンタの出力値を前記所定値に設定するための設定部と、  
を備え、  
前記半導体メモリ装置は、さらに、  
ダイナミック型のメモリセルを有するメモリセルアレイを備え、  
前記周期信号カウンタと前記パルス信号カウンタとは、前記電源投入処理後に前記メモリセルアレイのリフレッシュ動作の実行に利用されるカウンタである、  
半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体メモリ装置におけるリフレッシュ制御および内部電圧の生成に関する。

【0002】

【従来の技術】

半導体メモリ装置としては、DRAMやSRAMが用いられている。良く知られているように、DRAMは、SRAMに比べて安価で大容量であるが、リフレッシュ動作が必要である。一方、SRAMは、リフレッシュ動作が不要で使い易いが、DRAMに比べて高価であり、また容量が小さい。

【0003】

DRAMとSRAMの利点を両方備えた半導体メモリ装置として、擬似SRAM（VSRAMあるいはPSRAMと呼ばれる）が知られている。擬似SRAMは、DRAMと同じダイナミック型メモリセルを含むメモリセルアレイを備えているとともに、リフレッシュ制御部を内蔵しており、リフレッシュ動作を内部で実行している。このため、擬似SRAMに接続される外部装置（例えばCPU）は、リフレッシュ動作を意識せずに擬似SRAMにアクセス（データの読み出し

や書き込み)することが可能である。このような擬似SRAMの特徴は、「リフレッシュの透過性」と呼ばれる。

#### 【0004】

なお、擬似SRAMについては、例えば、本願出願人によって開示された特許文献1に記載されている。

#### 【特許文献1】

特開2002-150769号公報

#### 【0005】

#### 【発明が解決しようとする課題】

ところで、擬似SRAMでは、各メモリセルのデータを保持するために、各メモリセルに対するリフレッシュ動作を、所定期間内に1回実行する必要がある。このため、従来では、一定のリフレッシュ周期毎に、各行のメモリセルに対してリフレッシュ動作を1回実行している。

#### 【0006】

具体的には、リフレッシュタイマからの周期的なりフレッシュタイミング信号の発生に応じて、1行のメモリセルに対してリフレッシュの実行が要求される。そして、1行のメモリセルに対するリフレッシュは、1つのリフレッシュ周期内に、換言すれば、次のリフレッシュタイミング信号が発生するまでの期間内に、外部アクセスと干渉しないように実行される。

#### 【0007】

このように、リフレッシュ周期毎にリフレッシュを1回実行する場合には、外部アクセスを継続して実行可能な期間は、1つのリフレッシュ周期内に制限されてしまう。このような制限は、「ロングサイクル制限」とも呼ばれている。

#### 【0008】

擬似SRAMでは、上記のようなロングサイクル制限が存在するが、SRAMでは、ロングサイクル制限は存在しない。このため、擬似SRAMにおいて、ロングサイクル制限を緩和したいという要望があった。

#### 【0009】

また、従来の半導体メモリ装置では、内部電圧は、通常、電源投入処理時に、



外部電圧を利用して半導体メモリ装置内部で生成されている。しかしながら、従来では、内部電圧が所定の電圧に到達するまでに、換言すれば、外部アクセスが実行可能となるまでに、かなり時間が掛かってしまうという問題があった。

#### 【0010】

この発明は、上述した従来の課題を解決するためになされたものであり、リフレッシュ動作を必要とする半導体メモリ装置におけるロングサイクル制限を緩和することのできる技術を提供することを第1の目的とする。また、半導体メモリ装置の内部電圧を比較的早期に所定の電圧まで到達させることのできる技術を提供することを第2の目的とする。

#### 【0011】

##### 【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明の第1の装置は、半導体メモリ装置であって、

ダイナミック型のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイのリフレッシュ動作を実行するためのリフレッシュ制御部と、

を備え、

前記リフレッシュ制御部は、

前記リフレッシュ動作の実行タイミングの決定に使用されるリフレッシュタイミング信号を周期的に発生させるリフレッシュタイミング信号発生部と、

前記リフレッシュタイミング信号に応じて、前記リフレッシュ動作の実行要求を示すリフレッシュ要求信号を発生させるリフレッシュ要求信号発生部と、

前記リフレッシュ要求信号と他の信号とに応じて、前記リフレッシュ動作の実行を示すリフレッシュ実施信号を発生させるリフレッシュ実施信号発生部と、  
を備え、

前記リフレッシュ要求信号発生部は、

前記リフレッシュタイミング信号の発生回数をカウントするための第1のカウンタと、

前記リフレッシュ実施信号の発生回数をカウントするための第2のカウンタと

を備え、

前記リフレッシュ要求信号発生部は、前記リフレッシュタイミング信号の発生回数と前記リフレッシュ実施信号の発生回数との差分が1以上である場合に、前記リフレッシュ要求信号を発生させ、

前記リフレッシュ実施信号発生部は、前記差分が2以上である場合には、前記リフレッシュタイミング信号の1周期内に前記リフレッシュ実施信号を2回以上発生可能であることを特徴とする。

#### 【0012】

この装置では、リフレッシュ制御部は、2つのカウンタを備えているため、リフレッシュ動作を複数回延期することができる。また、リフレッシュ制御部は、リフレッシュタイミング信号の1周期内にリフレッシュ実施信号を2回以上発生可能であるため、延期されたリフレッシュ動作を後で実行することができる。この結果、ロングサイクル制限を緩和することが可能となる。

#### 【0013】

上記の装置において、さらに、

外部装置から与えられる外部アドレスであって、行アドレスと列アドレスとを含む前記外部アドレスによって指定されるメモリセルに対して、外部アクセス動作を実行するための外部アクセス制御部を備え、

前記外部アクセス制御部は、前記列アドレスに含まれる所定のビットのみが変化する場合には、前記行アドレスによって選択されるワード線を活性化状態で維持し、

前記リフレッシュ制御部は、前記ワード線が活性化状態で維持される場合には、前記外部アドレスに含まれる前記所定のビット以外のビットが変化するまで、前記リフレッシュ実施信号の発生を延期することが好ましい。

#### 【0014】

このように、外部アクセス制御部が、いわゆるページモードアクセスを実行する場合には、本発明の効果は顕著となり、ページモードアクセスを効率よく実行することが可能となる。

**【 0 0 1 5 】**

上記の装置において、

前記リフレッシュ制御部は、

前記リフレッシュ実施信号の発生を 2 回以上延期した場合には、

前記外部アクセス動作を実行可能な第 1 の動作モードでは、前記外部アドレスに含まれる前記所定のビット以外のビットが変化する毎に、順次前記リフレッシュ実施信号を発生させ、

前記外部アクセス動作が禁止される第 2 の動作モードでは、連続的に前記リフレッシュ実施信号を発生させることが好ましい。

**【 0 0 1 6 】**

こうすれば、第 1 の動作モードおよび第 2 の動作モードの双方において、延期されたりフレッシュ動作を後で実行することができる。特に、第 2 の動作モードでは、連続的にリフレッシュ実施信号が発生するため、延期されたりフレッシュ動作を迅速に実行することができる。

**【 0 0 1 7 】**

上記の装置において、

前記第 2 のカウンタのビット数は、前記メモリセルアレイに含まれる行数に整合するように設定されており、

前記リフレッシュ制御部は、前記第 2 のカウンタからの出力値を、前記メモリセルアレイ内の任意の 1 行を指定するリフレッシュアドレスとして利用することが好ましい。

**【 0 0 1 8 】**

こうすれば、リフレッシュアドレス発生部を別途準備せずに済むため、比較的簡単にリフレッシュ制御部を構成することができる。

**【 0 0 1 9 】**

上記の装置において、

前記第 1 のカウンタのビット数は、前記第 2 のカウンタのビット数よりも小さく設定されており、

前記リフレッシュ要求信号発生部は、前記第 1 のカウンタからの出力と、前記

第2のカウンタからの一部の出力と、を用いて、前記リフレッシュ要求信号を発生させるようにしてもよい。

#### 【0020】

こうすれば、リフレッシュ制御部の回路規模を比較的小さくすることができる。

#### 【0021】

上記の装置において、さらに、

チャージポンプ回路を含み、外部から供給される電圧を用いて、前記半導体メモリ装置の内部電圧を生成するための内部電圧生成部を備え、

前記内部電圧生成部は、前記リフレッシュ実施信号発生部から供給される前記リフレッシュ実施信号を利用して、前記内部電圧を生成するようにしてもよい。

#### 【0022】

このように、リフレッシュ実施信号を利用して内部電圧を生成すれば、内部電圧生成部は、リフレッシュ動作に必要な電荷量を効率よく補うことができる。

#### 【0023】

上記の装置において、

前記リフレッシュ制御部は、さらに、

前記半導体メモリ装置の電源投入処理時に、前記2つのカウンタの出力値を異なる値に設定するための設定部を備え、

前記リフレッシュ制御部は、前記電源投入処理時には、前記2つのカウンタの出力値が一致するまで連続的に前記リフレッシュ実施信号を発生させることが好ましい。

#### 【0024】

こうすれば、リフレッシュ制御部は、電源投入処理時に、内部電圧生成部に連続的にリフレッシュ実施信号を供給することができるため、内部電圧を比較的早期に所定の電圧まで到達させることができる。

#### 【0025】

本発明の第2の装置は、半導体メモリ装置であって、

チャージポンプ回路を含み、外部から供給される電圧を用いて、前記半導体メ

メモリ装置の内部電圧を生成するための内部電圧生成部と、

前記内部電圧生成部にパルス信号を供給するためのパルス信号供給部と、  
を備え、

前記パルス信号供給部は、

前記半導体メモリ装置の電源投入処理時に所定値を出力するための出力部と、  
前記パルス信号の発生回数をカウントするためのパルス信号カウンタと、  
を備え、

前記パルス信号供給部は、前記電源投入処理時に、前記出力部からの出力値と、  
前記パルス信号カウンタからの出力値と、が一致するまで連続的に前記パルス  
信号を発生させることを特徴とする。

#### 【 0 0 2 6 】

この装置では、パルス信号供給部は、電源投入処理時には、パルス信号を連続  
的に内部電圧生成部に供給することができるため、内部電圧を比較的早期に所定  
の電圧まで到達させることができる。

#### 【 0 0 2 7 】

上記の装置において、

前記出力部は、

所定の周期信号の発生回数をカウントするための周期信号カウンタと、  
前記電源投入処理時に、前記周期信号カウンタの出力値を前記所定値に設定す  
るための設定部と、  
を備え、

前記半導体メモリ装置は、さらに、

ダイナミック型のメモリセルを有するメモリセルアレイを備え、

前記周期信号カウンタと前記パルス信号カウンタとは、前記電源投入処理後に  
前記メモリセルアレイのリフレッシュ動作の実行に利用されるカウンタであるこ  
とが好ましい。

#### 【 0 0 2 8 】

このように、電源投入処理後にリフレッシュ動作の実行に利用される 2 つのカ  
ウンタを、電源投入処理時にパルス信号供給部の 2 つのカウンタとして利用すれ

ば、半導体メモリ装置の回路規模を比較的小さくすることができる。

#### 【0029】

なお、本発明は、種々の形態で実現することが可能であり、例えば、半導体メモリ装置、半導体メモリ装置と制御装置とを備えた半導体メモリシステム、半導体メモリ装置の制御方法、および、半導体メモリ装置を備えた電子機器等の形態で実現することができる。

#### 【0030】

##### 【発明の実施の形態】

次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

##### A. 第1実施例:

A-1. メモリチップの端子構成と動作状態の概要:

A-2. メモリチップ内部の全体構成:

A-3. リフレッシュコントローラの内部構成:

A-4. リフレッシュ動作:

##### B. 第2実施例:

#### 【0031】

##### A. 第1実施例:

A-1. メモリチップの端子構成と動作状態の概要:

図1は、第1実施例におけるメモリチップ100の端子の構成を示す説明図である。メモリチップ100は、以下のような端子を有している。

#### 【0032】

A0～A20: アドレス入力端子(21本),

#CS: チップセレクト入力端子,

#WE: ライトイネーブル入力端子,

#OE: アウトプットイネーブル入力端子,

#LB: 下位バイトイネーブル入力端子,

#UB: 上位バイトイネーブル入力端子,

I00～I015: 入出力データ端子(16本)。

#### 【0033】

なお、以下の説明では、端子名と信号名とに同じ符号を用いている。端子名（信号名）の先頭に「#」が付されているものは、負論理であることを意味している。アドレス入力端子A0～A20と入出力データ端子IO0～IO15とはそれぞれ複数本設けられているが、図1では簡略化して描かれている。

#### 【0034】

このメモリチップ100は、通常の非同期型SRAMと同じ手順でアクセスすることが可能な擬似SRAM（VSRAM）として構成されている。ただし、SRAMと異なり、ダイナミック型のメモリセルが用いられているので、所定期間内にリフレッシュが必要となる。このため、メモリチップ100には、リフレッシュタイマ110を含むリフレッシュコントローラが内蔵されている。なお、本明細書では、外部装置（制御装置）からのデータの読み出しや書き込みの動作を「外部アクセス」と呼び、内蔵されたリフレッシュコントローラによるリフレッシュ動作を「内部リフレッシュ」または単に「リフレッシュ」と呼ぶ。

#### 【0035】

21ビットのアドレスA0～A20は、2Mワードのアドレスを指定する。また、入出力データIO0～IO15は、1ワード分の16ビットのデータである。すなわち、アドレスA0～A20の1つの値は16ビット（1ワード）に対応しており、一度に16ビットの入出力データIO0～IO15を入出力することができる。この説明からも分かるように、メモリチップ100は、32Mビットのメモリセルを有している。

#### 【0036】

本実施例のメモリチップ100は、ページモードアクセスが実行できるように構成されている。ここで、ページモードとは、行アドレスを特定の値に維持しつつ、列アドレスを順次変更することによって、複数ページのデータを比較的高速に読み出したり書き込んだりするモードを意味する。本実施例では、21ビットのアドレスA0～A20のうち、上位12ビットA9～A20が行アドレスであり、下位9ビットA0～A8が列アドレスである。また、列アドレスA0～A8のうち、下位3ビットA0～A2はページアドレスとして用いられる。そして、18ビットの上位アドレスA3～A20を変更せずに、ページアドレスA0～A

2 を変更することによって、ページモードアクセスが実行される。

#### 【0 0 3 7】

メモリチップ 1 0 0 の内部には、アドレスが変化したことを検出するためのアドレス遷移検出回路（A T D 回路） 5 0 が設けられている。アドレス遷移検出回路 5 0 は、2 種類のアドレス遷移信号を出力する。具体的には、2 0 ビットのアドレス A 0 ～ A 2 0 のうちのいずれか 1 ビット以上が変化した場合には、全体アドレス遷移信号（以下、W A T D 信号と呼ぶ）が生成される。また、ページアドレス A 0 ～ A 2 を除く 1 8 ビットの上位アドレス A 3 ～ A 2 0 のうちのいずれか 1 ビット以上が変化した場合には、部分アドレス遷移信号（以下、P A D T 信号と呼ぶ）が生成される。メモリチップ 1 0 0 内の回路は、W A T D 信号と P A T D 信号とに基づいて動作する。例えば、W A T D 信号は、メモリチップ内部の動作タイミングを決定するために利用される。また、P A T D 信号は、外部アクセスと内部リフレッシュとを調停するために利用される。

#### 【0 0 3 8】

チップセレクト信号 # C S は、メモリチップ 1 0 0 の動作状態を制御するための信号である。図 2 は、チップセレクト信号 # C S の信号レベルに応じたメモリチップ 1 0 0 の動作状態の区分を示す説明図である。なお、本明細書において、「H レベル」は 2 値信号の 2 つのレベルのうちの「1」レベルを意味し、「L レベル」は「0」レベルを意味している。

#### 【0 0 3 9】

チップセレクト信号 # C S が L レベル（アクティブ）のときは、リード／ライト・オペレーションサイクル（以下、単に「オペレーションサイクル」または「リード／ライトサイクル」と呼ぶ）が行われる。オペレーションサイクルでは、外部アクセスの実行が可能であり、適時、内部リフレッシュが実行される。

#### 【0 0 4 0】

チップセレクト信号 # C S が H レベル（非アクティブ）のときは、メモリチップ 1 0 0 はスタンバイ状態に設定される。スタンバイ状態では、外部アクセスの実行が禁止されるため、すべてのワード線は非活性状態とされる。ただし、内部リフレッシュが行われるときには、リフレッシュアドレスで指定されたワード線



は活性化される。

#### 【0041】

リフレッシュ動作は、オペレーションサイクルでは第1のリフレッシュモードに従って実行され、スタンバイ状態では第2のリフレッシュモードに従って実行される。第1のリフレッシュモードでは、リフレッシュタイマ110がリフレッシュタイミング信号を発生した後に、P A T D信号に同期してリフレッシュ動作が開始される。ここで、「同期する」とは、特定の信号が、基準信号（例えば、P A T D信号）と同じ時刻に発生することを必ずしも意味しておらず、基準信号のエッジと一定の時間的な関係を保って発生することを意味している。第2のリフレッシュモードでは、リフレッシュタイマ110がリフレッシュタイミング信号を発生すると直ちにリフレッシュ動作が開始される。第2のリフレッシュモードでのリフレッシュ動作はP A T D信号と非同期に行われるので、アドレスA 0～A 20の入力は不要である。このように、メモリチップ100は、2つの動作状態のそれぞれに適したリフレッシュモードに従ってリフレッシュを実行する。ただし、本実施例では、ページモードアクセスを効率よく実行するために、リフレッシュ動作の実行を複数回延期することが可能となっている。これらの2つのリフレッシュモードに従ったリフレッシュ動作については、さらに後述する。

#### 【0042】

オペレーションサイクルにおいては、ライトイネーブル信号#WEがLレベルになるとライトサイクルが実行され、アウトプットイネーブル信号#OEがLレベルになるとリードサイクルが実行される。下位バイトイネーブル信号#LBや上位バイトイネーブル入力信号#UBは、1ワード（16ビット）の下位バイトと上位バイトとのうちのいずれか1バイトのみに関して読み出しや書き込みを行うための制御信号である。例えば、下位バイトイネーブル信号#LBをLレベルに設定し、上位バイトイネーブル信号#UBをHレベルに設定すると、1ワードの下位8ビットのみに関して読み出しや書き込みが行われる。なお、図1では、電源端子は省略されている。

#### 【0043】

図3は、メモリチップ100の動作の概要を示すタイミングチャートである。

図2に示す2つの動作状態（オペレーション、スタンバイ）のいずれであるかは、チップセレクト信号#CSの変化に応じて、随時判断される。

#### 【0044】

図3の最初の3つのサイクルは、オペレーションサイクルである。オペレーションサイクルでは、ライトイネーブル信号#WEとアウトプットイネーブル#OEとのレベルに応じて読み出し（リードサイクル）と書き込み（ライトサイクル）のいずれかが実行される。なお、WATD信号の最短周期 $T_c$ （すなわち、アドレスA0～A20の変化の最短周期）は、このメモリチップ100のサイクルタイム（「サイクル周期」とも呼ばれる）に相当する。サイクルタイム $T_c$ は、例えば約50nsから約100nsの範囲の値に設定される。

#### 【0045】

チップセレクト信号#CSがHレベルに立ち上がると、メモリチップ100はスタンバイ状態に設定される。スタンバイ状態では、図3（a）に示すように、WATD信号は生成されない。

#### 【0046】

A-2. メモリチップ内部の全体構成：

図4は、メモリチップ100内部の全体構成を示すブロック図である。メモリチップ100は、メモリブロック20と、アドレスバッファ30と、データ入出力バッファ40と、を備えている。

#### 【0047】

メモリブロック20は、メモリセルアレイ22と、行デコーダ24と、列デコーダ26と、ゲート28と、を備えている。メモリセルアレイ22の構成は、典型的なDRAMのメモリセルアレイと同じである。すなわち、メモリセルアレイ22は、1トランジスタ1キャパシタ型の複数のメモリセルがマトリクス状に配列されたものである。各メモリセルには、ワード線とビット線対（データ線対とも呼ばれる）とが接続されている。行デコーダ24は、行ドライバを含んでおり、与えられる行アドレスに従ってメモリセルアレイ22内の複数本のワード線のうちの1本を選択して活性化する。列デコーダ26は、列ドライバを含んでおり、与えられる列アドレスに従ってメモリセルアレイ22の複数組のビット線対の

うちの1ワード（16ビット）分のビット線対を同時に選択する。また、ゲート28は、読み出し回路や書き込み回路を含んでおり、データ入出力バッファ40とメモリセルアレイ22と間のデータのやり取りを可能とする。なお、メモリブロック20内には、図示しないプリチャージ回路やセンスアンプなども設けられている。

#### 【0048】

アドレスバッファ30は、外部装置から与えられた21ビットのアドレスA0～A20を他の内部回路に供給する回路である。行アドレスA9～A20と列アドレスA0～A8とによって選択された1ワード（16ビット）分のデータは、データ入出力バッファ40を介して読み出され、あるいは書き込まれる。

#### 【0049】

メモリチップ100は、さらに、ATD回路50と、外部アクセスコントローラ60と、リフレッシュコントローラ70と、行プリデコーダ80と、を備えている。なお、メモリチップ100は、図4に示す回路の他に、チップセレクト信号#CSに従ってチップ内の回路の動作状態を制御するコントローラや、各種のイネーブル信号#WE、#OE、#LB、#UBに応じて入出力状態を制御するコントローラなどを有しているが、図4では、図示の便宜上省略されている。

#### 【0050】

ATD回路50は、外部装置から供給された21ビットのアドレスA0～A20のうちのいずれか1ビット以上に変化があるか否か検出し、変化が検出されたときには、WATD信号を発生させる。WATD信号は、メモリチップ内部の動作タイミングを決定するために利用される。また、ATD回路50は、18ビットの上位アドレスA3～A20のうちのいずれか1ビット以上に変化があるか否かを検出し、変化が検出されたときには、PATD信号を発生させる。PATD信号は、外部アクセスと内部リフレッシュとを調停するために利用される。

#### 【0051】

外部アクセスコントローラ60は、外部アクセス実施信号#EXを出力し、外部アクセスを制御する。リフレッシュコントローラ70は、リフレッシュアドレスRFA9～RFA20とリフレッシュ実施信号#RFとを出力し、リフレッシュ

ュを制御する。オペレーションサイクルでは、2つのコントローラ60, 70は、外部アクセスと内部リフレッシュとを調停する。この調停は、外部アクセス実施信号#EXとリフレッシュ実施信号#RFとの信号レベルをそれぞれ設定することによって行われる。

#### 【0052】

外部アクセスコントローラ60とリフレッシュコントローラ70とには、チップセレクト信号#CSとPATED信号とが供給されている。さらに、外部アクセスコントローラ60には、リフレッシュコントローラ70からリフレッシュ要求信号RFRQとリフレッシュ実施信号#RFとが供給されており、リフレッシュコントローラ70には、外部アクセスコントローラ60から外部アクセス実施信号#EXが供給されている。

#### 【0053】

外部アクセスコントローラ60は、外部アクセスが要求されたときに、外部アクセス実施信号#EXを発生する。具体的には、外部アクセスコントローラ60は、チップセレクト信号#CSがアクティブである場合（オペレーションサイクル）には、外部アクセスが要求されていると判断する。そして、外部アクセスコントローラ60は、PATED信号の発生に応じて、外部アクセス実施信号#EXをアクティブに設定する。ただし、外部アクセスコントローラ60は、PATED信号が発生したときにリフレッシュが要求されている場合には、リフレッシュが完了した後に、外部アクセスを実行する。具体的には、外部アクセスコントローラ60は、PATED信号が発生したときにリフレッシュ要求信号RFRQがアクティブである場合には、リフレッシュ実施信号#RFがアクティブから非アクティブに変化した後に、外部アクセス実施信号#EXをアクティブに設定する。

#### 【0054】

リフレッシュコントローラ70は、リフレッシュタイマ110によってリフレッシュが要求されたときに、リフレッシュ実施信号#RFを発生する。ただし、本実施例では、リフレッシュ実施信号#RFの発生を複数回延期することができる。なお、リフレッシュコントローラ70については、さらに後述する。

#### 【0055】

行プリデコーダ80(図4)は、外部アクセス実施信号#EXとリフレッシュ実施信号#RFのレベルに応じて、行アドレスA9～A20とリフレッシュアドレスRFA9～RFA20とのうち的一方を選択して、行デコーダ24に供給する。具体的には、行プリデコーダ80は、外部アクセス実施信号#EXがアクティブの場合には、外部装置から供給された行アドレスA9～A20を行デコーダ24に供給する。一方、行プリデコーダ80は、リフレッシュ実施信号#RFがアクティブの場合には、リフレッシュコントローラ70から供給されたリフレッシュアドレスRFA9～RFA20を行デコーダ24に供給する。行デコーダ24は、行プリデコーダ80から行アドレスA9～A20またはリフレッシュアドレスRFA9～RFA20が供給されているときに、各アドレスA9～A20またはRFA9～RFA20に従って選択される1本のワード線を活性化状態とする。

#### 【0056】

A-3. リフレッシュコントローラの内部構成:

図5は、リフレッシュコントローラ70の内部構成を示すブロック図である。図示するように、リフレッシュコントローラ70は、リフレッシュタイマ110と、リフレッシュ要求信号&リフレッシュアドレス発生回路120と、リフレッシュ実施信号発生回路130と、を備えている。

#### 【0057】

リフレッシュタイマ110は、一定のリフレッシュ周期毎にリフレッシュタイミング信号RF<sub>TM</sub>を発生させる。なお、リフレッシュタイマ110は、例えば、リングオシレータを含んでいる。リフレッシュ周期は、例えば約32 $\mu$ sに設定されている。

#### 【0058】

リフレッシュ要求信号&リフレッシュアドレス発生回路(以下、単に「リフレッシュ要求信号発生回路」とも呼ぶ)120は、リフレッシュタイマ110から供給されるリフレッシュタイミング信号RF<sub>TM</sub>に応じて、リフレッシュ要求信号RF<sub>RQ</sub>を発生させる。なお、リフレッシュ要求信号RF<sub>RQ</sub>は、リフレッシュの実行要求を意味する。また、リフレッシュ要求信号発生回路120は、リフ

レッシュアドレス RFA9～RFA20 を発生させる。

【0059】

リフレッシュ要求信号発生回路 120 は、2つのカウンタ 121, 122 と、比較回路 124 と、を備えている。

【0060】

第1のカウンタ 121 は、リフレッシュタイミング信号 RFTM の発生回数をカウントする。具体的には、第1のカウンタ 121 は、リフレッシュタイミング信号 RFTM の立ち上がりエッジで、カウント値 CNT1 を1つインクリメントする。なお、第1のカウンタ 121 は、12ビットのカウンタである。

【0061】

第2のカウンタ 122 は、リフレッシュ実施信号発生回路 130 から出力されるリフレッシュ実施信号 #RF の発生回数をカウントする。具体的には、第2のカウンタ 122 は、リフレッシュ実施信号 #RF の立ち上がりエッジで、より具体的には、リフレッシュ実施信号 #RF が非アクティブ（Hレベル）に戻ると、カウント値 CNT2 を1つインクリメントする。第2のカウンタ 122 は、12ビットのカウンタであり、カウント値 CNT2 は、リフレッシュアドレス RFA9～RFA20 として利用される。

【0062】

比較回路 124 は、2つのカウンタ 121, 122 の出力を比較して、比較結果に応じてリフレッシュ要求信号 RFRQ を発生させる。具体的には、比較回路 124 は、2つのカウント値 CNT1, CNT2 が一致する場合には、リフレッシュ要求信号 RFRQ を非アクティブ（Lレベル）に設定し、2つのカウント値 CNT1, CNT2 が不一致である場合には、リフレッシュ要求信号 RFRQ をアクティブ（Hレベル）に設定する。

【0063】

このように、2つのカウンタ 121, 122 を用いれば、リフレッシュの実行を複数回延期することができる。具体的には、第1のカウント値 CNT1 は、リフレッシュの要求回数を示しており、第2のカウント値 CNT2 は、リフレッシュの実行回数を示している。このため、2つのカウント値 CNT1, CNT2 の

差分は、実行されずに延期されたリフレッシュの回数（延期回数）を示している。そして、リフレッシュ要求信号 RFRQ は、延期回数に応じてアクティブ（H レベル）に設定される。

#### 【0064】

リフレッシュ実施信号発生回路 130 は、リフレッシュ要求信号 RFRQ と PATD 信号とチップセレクト信号 #CS と外部アクセス実施信号 #EX とに応じて、リフレッシュ実施信号 #RF をアクティブに設定する。具体的には、リフレッシュ実施信号発生回路 130 は、チップセレクト信号 #CS がアクティブである場合（オペレーションサイクル）には、リフレッシュ要求信号 RFRQ が発生した後に発生する PATD 信号と同期して、リフレッシュ実施信号 #RF をアクティブに設定する。ただし、リフレッシュ実施信号 #RF は、外部アクセス実施信号 #EX が非アクティブに戻った後に、アクティブに設定される。また、リフレッシュ実施信号発生回路 130 は、チップセレクト信号 #CS が非アクティブである場合（スタンバイ状態）には、リフレッシュ要求信号 RFRQ が発生するとリフレッシュ実施信号 #RF をアクティブに設定する。リフレッシュ実施信号 #RF は、所定期間経過後に、非アクティブに戻る。

#### 【0065】

図 6 は、図 5 のリフレッシュ実施信号発生回路 130 の内部構成を示すブロック図である。図示するように、リフレッシュ実施信号発生回路 130 は、2 入力 OR ゲート 131 と、4 入力 AND ゲート 132 と、2 つのパルス発生回路 133, 134 と、RS フリップフロップ 135 と、インバータ 136 と、遅延回路 137 と、を備えている。なお、2 つのパルス発生回路 133, 134 は、入力信号の立ち上がりエッジに応じて、H レベルのパルス信号を発生させる。

#### 【0066】

OR ゲート 131 には、PATD 信号とチップセレクト信号 #CS とが供給されている。オペレーションサイクルでは、チップセレクト信号 #CS はアクティブ（L レベル）であるため、OR ゲート 131 は、PATD 信号をリフレッシュイネーブル信号 RFE として出力する。一方、スタンバイ状態では、チップセレクト信号 #CS は非アクティブ（H レベル）であるため、OR ゲート 131 は、

リフレッシュイネーブル信号 R F E を常に H レベルに設定する。

#### 【0067】

4 入力 AND ゲート 132 には、リフレッシュ実施信号 # R F とリフレッシュ要求信号 R F R Q と外部アクセス実施信号 # E X とリフレッシュイネーブル信号 R F E とが供給されている。AND ゲート 132 は、4 つの信号 # R F, R F R Q, # E X, R F E がすべて H レベルのときに、H レベルの信号 Q 132 を出力する。パルス発生回路 133 は、信号 Q 132 の立ち上がりエッジで、H レベルのセットパルス信号 S P を発生させる。セットパルス信号 S P は、R S フリップフロップ 135 のセット端子 S に与えられる。

#### 【0068】

R S フリップフロップ 135 は、出力端子 # Q からリフレッシュ実施信号 # R F を出力する。具体的には、R S フリップフロップ 135 は、セット端子 S に H レベルのセットパルス信号 S P が供給されると、リフレッシュ実施信号 # R F をアクティブ (L レベル) に設定する。リフレッシュ実施信号 # R F は、インバータ 136 を介して、遅延回路 137 に供給される。遅延回路 137 は、反転されたリフレッシュ実施信号 # R F を、所定期間だけ遅延させる。なお、この遅延期間によって、リフレッシュ実施信号 # R F のアクティブ (L レベル) 期間が決定されている。パルス発生回路 134 は、遅延回路 137 から出力された信号 Q 137 の立ち上がりエッジで、H レベルのリセットパルス信号 R P を発生させる。R S フリップフロップ 135 は、リセット端子 R に H レベルのリセットパルス信号 R P が供給されると、リフレッシュ実施信号 # R F を非アクティブ (H レベル) に戻す。

#### 【0069】

この構成を採用すれば、リフレッシュ実施信号発生回路 130 は、1 つのリフレッシュ周期内で、リフレッシュ実施信号 # R F を複数回発生させることができる。このため、延期回数がゼロになるように、延期されたリフレッシュを順次実行することが可能となる。具体的には、オペレーションサイクルでは、リフレッシュ実施信号発生回路 130 は、順次発生する P A T D 信号の発生に応じて、リフレッシュ実施信号 # R F を順次アクティブに設定することができる。また、ス



スタンバイ状態では、リフレッシュ実施信号発生回路130は、所定の時間間隔で、リフレッシュ実施信号#RFを連続的にアクティブに設定することができる。すなわち、スタンバイ状態では、延期されたリフレッシュを迅速に実行することができる。

#### 【0070】

##### A-4. リフレッシュ動作:

図7は、オペレーションサイクルにおけるリフレッシュ動作を示すタイミングチャートである。オペレーションサイクルでは、チップセレクト信号#CS (図7(a))がLレベルに設定される。図示するように、時刻t11~t16では、リフレッシュタイミング信号RF<sub>TM</sub> (図7(b))の立ち上がりエッジが形成されている。

#### 【0071】

時刻t11の直前では、第1のカウント値CNT1 (図7(c))と第2のカウント値CNT2 (図7(d))とは、一致している。このため、リフレッシュ要求信号RF<sub>RQ</sub> (図7(e))は、Lレベルに設定されている。時刻t11において、リフレッシュタイミング信号RF<sub>TM</sub>が立ち上がると、第1のカウント値CNT1が1つインクリメントされる。このとき、2つのカウント値CNT1, CNT2は不一致であるため、より具体的には、2つのカウント値は1だけずれているため、リフレッシュ要求信号RF<sub>RQ</sub>はHレベルに設定される。

#### 【0072】

リフレッシュ要求信号RF<sub>RQ</sub>がHレベルのときに、上位アドレスA3~A20 (図7(f))が変化すると、P<sub>ATD</sub>信号 (図7(h))がHレベルに設定され、この結果、リフレッシュイネーブル信号RF<sub>E</sub> (図7(i))もHレベルに設定される。なお、P<sub>ATD</sub>信号がHレベルに変化するのに伴って、外部アクセス実施信号#EXはHレベル (非アクティブ) に変更される。そして、リフレッシュイネーブル信号RF<sub>E</sub>の立ち上がりエッジに応じて、リフレッシュ実施信号#RFがLレベル (アクティブ) に設定される。このとき、第2のカウント値CNT2 (すなわち、リフレッシュアドレスRFA9~RFA20) で指定される1行のメモリセル (図7では、"9"行目のメモリセル) に対して、リフレッ

シュが実行される。所定期間経過後にリフレッシュ実施信号# R FがHレベルに戻ると、第2のカウンタ値C N T 2が1つインクリメントされる。このとき、2つのカウンタ値C N T 1, C N T 2は一致するため、リフレッシュ要求信号R F R QはLレベルに戻る。また、リフレッシュ実施信号# R FがHレベルに戻ると、外部アクセス実施信号# E XがLレベル（アクティブ）に設定される。このとき、アドレスA 0～A 2 0で指定されるメモリセルに対して、外部アクセスが実行される。より具体的には、行アドレスA 9～A 2 0で指定されるワード線が活性化される。そして、列アドレスA 0～A 8で指定されるビット線対を介して、対象メモリセルに対するデータの読み出しや書き込みが実行される。

#### 【0073】

なお、期間P 1 1では、外部アクセス実施信号# E XがLレベルに変化した後に、下位アドレス（ページアドレス）A 0～A 2（図7（g））が変化している。しかしながら、上位アドレスA 3～A 2 0は変化しないため、P A T D信号はLレベルのまま維持される。このとき、行アドレスA 9～A 2 0で指定されるワード線は、活性化状態のまま維持される。そして、列アドレスA 0～A 8で指定される他のビット線対を介して、データの読み出しや書き込みが実行される。このように、行アドレスA 9～A 2 0で指定されるワード線を活性化状態で維持したまま、列アドレスを変更することによって行われる外部アクセスが、前述のページモードアクセスである。

#### 【0074】

期間P 1 2では、上位アドレスA 3～A 2 0が2回変化するため、P A T D信号が2回発生している。1回目のP A T D信号が発生したときには、期間P 1 1と同様に、リフレッシュ要求信号R F R QはHレベルに設定されているため、リフレッシュ実施信号# R FがLレベル（アクティブ）に設定される。しかしながら、2回目のP A T D信号が発生したときには、リフレッシュ要求信号R F R QはLレベルに設定されているため、リフレッシュ実施信号# R FはHレベル（非アクティブ）のまま維持される。そして、2回目のP A T D信号が発生したときには、外部アクセス実施信号# E Xは、一旦Hレベル（非アクティブ）に設定された後に、再びLレベル（アクティブ）に設定される。

## 【0075】

時刻  $t_{13}$  では、第1のカウント値  $CNT_1$  が1つインクリメントされる。しかしながら、期間  $P_{13}$  では、 $PATD$  信号は発生していない。また、時刻  $t_{14}$  でも、第1のカウント値  $CNT_1$  が1つインクリメントされるが、期間  $P_{14}$  では、 $PATD$  信号は発生していない。さらに、時刻  $t_{15}$  でも、第1のカウント値  $CNT_1$  が1つインクリメントされる。このため、時刻  $t_{15}$  の直後では、2つのカウント値  $CNT_1$ 、 $CNT_2$  の差分は3である。すなわち、時刻  $t_{15}$  の直後では、リフレッシュは3回延期されている。

## 【0076】

期間  $P_{15}$  では、上位アドレス  $A_3 \sim A_{20}$  が3回変化するため、 $PATD$  信号が3回発生している。これに伴って、期間  $P_{15}$  では、リフレッシュ実施信号  $\#RF$  は3回Lレベル（アクティブ）に設定され、リフレッシュが順次3回実行されている。この結果、期間  $P_{15}$  の終わりでは、2つのカウント値  $CNT_1$ 、 $CNT_2$  が一致している。

## 【0077】

図8は、図7の期間  $P_{15}$  におけるリフレッシュ動作を詳細に示すタイミングチャートである。なお、図8では、図7 (a), (e), (h), (i), (j), (k) に示す6つの信号  $\#CS$ ,  $RFRQ$ ,  $PATD$ ,  $RFE$ ,  $\#RF$ ,  $\#EX$  と共に、図6のRSフリップフロップ135に供給されるセットパルス信号  $SP$  とリセットパルス信号  $RP$  とが示されている。

## 【0078】

図6で説明したように、チップセレクト信号  $\#CS$  がLレベルの場合には、 $PATD$  信号に応じて、リフレッシュイネーブル信号  $RFE$  が生成される。また、 $PATD$  信号の立ち上がりエッジで、外部アクセス実施信号  $\#EX$  がHレベルに設定される。このため、リフレッシュイネーブル信号  $RFE$  がHレベルに設定されるときには、リフレッシュ実施信号  $\#RF$  と、リフレッシュ要求信号  $RFRQ$  と、外部アクセス実施信号  $\#EX$  とは、Hレベルに設定されている。このとき、Hレベルのセットパルス信号  $SP$  が生成され、この結果、リフレッシュ実施信号  $\#RF$  は、Lレベル（アクティブ）に設定される。そして、所定期間経過後に、

Hレベルのリセットパルス信号RPが生成されると、リフレッシュ実施信号#RFは、Hレベル（非アクティブ）に戻る。リフレッシュ実施信号#RFがHレベルに戻ると、外部アクセス実施信号#EXがLレベル（アクティブ）に設定される。

#### 【0079】

期間P15では、このような動作が、リフレッシュ要求信号RFRQがLレベルに戻るまで、換言すれば、2つのカウント値CNT1, CNT2が一致するまで、繰り返し実行される。

#### 【0080】

期間P16（図7）では、期間P11と同様に、PATD信号が1回発生し、リフレッシュ実施信号#RFが1回Lレベルに設定される。

#### 【0081】

図9は、スタンバイ状態におけるリフレッシュ動作を示すタイミングチャートである。なお、図9の期間P21～P24における動作は、図7の期間P11～P14と同じであるが、期間P25, P26における動作が変更されている。具体的には、期間P25, P26では、チップセレクト信号#CSがHレベルに変更されており、スタンバイ状態に設定されている。

#### 【0082】

スタンバイ状態では、外部アクセスは実行されない。具体的には、アドレスA0～A20の変化は発生せず、PATD信号はLレベルのまま維持される。そして、外部アクセス実施信号#EXはHレベル（非アクティブ）のまま維持される。

#### 【0083】

図7と同様に、時刻t25の直後では、2つのカウント値CNT1, CNT2の差分は3である。オペレーションサイクルでは、図7の期間P15に示すように、PATD信号の発生に伴って、リフレッシュ実施信号#RFと外部アクセス実施信号#EXとが交互に3回Lレベル（アクティブ）に設定されている。しかしながら、スタンバイ状態では、図9の期間P25に示すように、リフレッシュ実施信号#RFは、連続的に3回Lレベル（アクティブ）に設定される。

## 【0084】

図10は、図9の期間P25におけるリフレッシュ動作を詳細に示すタイミングチャートである。なお、図10では、図8と同様に、8つの信号#CS, RFRQ, PATD, RFE, SP, RP, #RF, #EXが示されている。

## 【0085】

期間P25において、チップセレクト信号#CSがHレベルに変更されると、外部アクセス実施信号#EXがHレベル（非アクティブ）に設定されると共に、リフレッシュイネーブル信号RFEもHレベルに設定される。このとき、リフレッシュ実施信号#RFおよびリフレッシュ要求信号RFRQも、Hレベルに設定されている。このため、Hレベルのセットパルス信号SPが生成され、この結果、リフレッシュ実施信号#RFは、Lレベル（アクティブ）に設定される。そして、所定期間経過後に、Hレベルのリセットパルス信号RPが生成されると、リフレッシュ実施信号#RFは、Hレベル（非アクティブ）に戻る。このとき、リフレッシュ要求信号RFRQはHレベルに維持されているので、再度、リフレッシュ実施信号#RFは、Lレベル（アクティブ）に設定される。

## 【0086】

期間P25では、このようなリフレッシュ動作が、リフレッシュ要求信号RFRQがLレベルに戻るまで、換言すれば、2つのカウント値CNT1, CNT2が一致するまで、連続的に実行される。

## 【0087】

期間P26（図9）では、時刻t26において、リフレッシュタイミング信号RFTMが立ち上がると、第1のカウント値CNT1が1つインクリメントされる。このとき、2つのカウント値CNT1, CNT2は不一致であるため、リフレッシュ要求信号RFRQはHレベルに設定される。そして、リフレッシュ要求信号RFRQがHレベルに設定されると、直ちに、リフレッシュ実施信号#RFがLレベル（アクティブ）に設定される。

## 【0088】

以上説明したように、本実施例では、特定のリフレッシュタイミング信号の発生から対応するリフレッシュ実施信号の発生までの期間は、1つのリフレッシュ

周期以上であることが許容されている。そして、リフレッシュコントローラ 70 は、2つのカウンタ 121, 122 を備えているため、リフレッシュ動作を複数回延期することができる。また、リフレッシュコントローラ 70 は、延期回数が 2 回以上である場合には、リフレッシュタイミング信号 RFTM の 1 周期内にリフレッシュ実施信号 #RF を 2 回以上発生可能に構成されているため、延期されたリフレッシュ動作を後で実行することができる。具体的には、1つのリフレッシュ周期（例えば、期間 P15, P25）において、延期されたリフレッシュ動作をまとめて実行することができる。すなわち、本実施例の構成を採用すれば、ロングサイクル制限を緩和することが可能となる。

#### 【0089】

##### B. 第2実施例:

図 11 は、第 2 実施例におけるメモリチップ 100B 内部の全体構成を示すブロック図である。図 11 は、図 4 とほぼ同じであるが、内部電圧生成回路 300 の図示が追加されていると共に、リフレッシュコントローラ 70B が変更されている。内部電圧生成回路 300 は、外部アクセスコントローラ 60 から与えられる外部アクセス実施信号 #EX と、リフレッシュコントローラ 70 から与えられるリフレッシュ実施信号 #RF と、を利用して、内部電圧  $V_{pp}$  を生成する。

#### 【0090】

なお、内部電圧生成回路 300 は、実際には、メモリチップ 100B の動作に必要な複数種類の内部電圧を発生させる。しかしながら、図 11 では、行デコーダ 24 内の行ドライバに供給される内部電圧  $V_{pp}$  に注目して描かれている。

#### 【0091】

図 12 は、内部電圧生成回路 300 の内部構成を示すブロック図である。図示するように、内部電圧生成回路 300 は、第 1 の電圧生成回路 310 と、第 2 の電圧生成回路 320 と、出力キャパシタ 330 と、を備えている。2つの電圧生成回路 310, 320 の出力端子は、共に、出力キャパシタ 330 の一方の端子に接続されている。

#### 【0092】

第 1 の電圧生成回路 310 は、発振回路 312 と、第 1 のチャージポンプ回路

314と、レベル検出回路316と、を含んでいる。発振回路312は、発振信号OSC1を生成して、チャージポンプ回路314に供給する。なお、発振回路312は、例えば、リングオシレータで構成される。また、発振信号OSC1の周期は、例えば、約100ns～約200nsに設定されている。チャージポンプ回路314は、外部電圧Vccを用いて内部電圧Vppを生成する。具体的には、チャージポンプ回路314は、発振信号OSC1が発生する毎に、所定の電圧分だけ、内部電圧Vppを順次増大させる。なお、内部電圧Vppは、発振信号OSC1の周期が短い程、迅速に昇圧する。レベル検出回路316は、生成された内部電圧Vppと、外部電圧Vccから生成される基準電圧Vrefと、を比較して、内部電圧Vppが所定の電圧に到達したら、発振信号OSC1の発生を停止させる。

#### 【0093】

第2の電圧生成回路320は、反転入力型のORゲート322と、第2のチャージポンプ回路324と、を含んでいる。ORゲート322には、リフレッシュ実施信号#RFと外部アクセス実施信号#EXとが、信号レベルが反転された状態で供給される。ORゲート322は、2つの実施信号#RF、#EXのレベルに応じて、発振信号OSC2を生成する。具体的には、ORゲート322は、いずれか一方の実施信号#RF、#EXがLレベルに設定されるときに、換言すれば、リフレッシュ動作または外部アクセス動作が実行されるときに、Hレベルの信号を発生させる。第2のチャージポンプ回路324は、第1のチャージポンプ回路314と同様に、外部電圧Vccを用いて内部電圧Vppを生成する。ただし、第2の電圧生成回路320の電荷量供給能力は、第1の電圧生成回路310の電荷量供給能力よりも高い。すなわち、第2の電圧生成回路320は、行ドライバがワード線を活性化させる際に利用する比較的大きな電荷量を、出力キャパシタ330に効率よく供給することができる。より具体的には、リフレッシュ実施信号#RFを利用することによって、リフレッシュ動作に必要な電荷量を効率よく補うことができると共に、外部アクセス実施信号#EXを利用することによって、外部アクセス動作に必要な電荷量を効率よく補うことができる。なお、第1の電圧生成回路310は、行ドライバの動作の維持のために利用される比較的

小さな電荷量を、出力キャパシタ 330 に迅速に供給することができる。

#### 【0094】

ところで、メモリチップ 100B の電源投入処理時には、内部電圧生成回路 300 は、比較的早期に内部電圧  $V_{pp}$  を所定の電圧まで昇圧させることが好ましい。

#### 【0095】

図 13 は、電源投入処理時の内部電圧  $V_{pp}$  の変化を示す説明図である。図示するように、外部電圧  $V_{cc}$  が次第に上昇すると、メモリチップ内部では、各回路の動作を正常に開始させるためのパワーオンリセット処理が実行される。具体的には、所定のリセット期間  $T_r$  で L レベル（アクティブ）に設定されるパワーオンリセット信号  $POR$  が生成され、各回路に供給される。パワーオンリセット信号  $POR$  がステップ状に H レベルに変化すると、リセット状態が解除され、メモリチップ内部の各回路は動作を開始する。このとき、図 12 に示す 2 つの発振信号  $OSC1$ 、 $OSC2$  が発生する。そして、内部電圧  $V_{pp}$  は、図 13 に実線で示すように、所定の電圧まで次第に上昇する。

#### 【0096】

内部電圧  $V_{pp}$  の昇圧期間では、チップセレクト信号  $\#CS$  を非アクティブ（H レベル）に設定することが要求され、外部アクセスが禁止される。このため、内部電圧  $V_{pp}$  の昇圧期間が長い場合には、外部アクセスが実行可能となるまでの待ち時間が長くなってしまう。そこで、本実施例では、図中、破線で示すように、内部電圧  $V_{pp}$  が比較的早期に所定の電圧に到達するように、リフレッシュコントローラ 70B（図 11）の構成を工夫している。

#### 【0097】

図 14 は、リフレッシュコントローラ 70B の内部構成を示すブロック図である。図 14 は、図 5 とほぼ同じであるが、リフレッシュ要求信号発生回路 120B が変更されている。具体的には、第 1 のカウンタ 121B が、プリセット機能付きのカウンタに変更されている。また、第 1 のカウンタ 121B に所定のプリセット値を設定するためのプリセット値設定部 129 が追加されている。

#### 【0098】



第1のカウンタ121Bは、パワーオンリセット信号POR（図13）がHレベルに移行すると、換言すれば、リセット状態が解除されると、プリセット値設定部129から与えられる所定のプリセット値を受け取る。これにより、パワーオンリセット処理の終了直後に、2つのカウンタ121B、122は異なるカウント値CNT1、CNT2を出力することができる。このため、リフレッシュ要求信号発生回路120Bは、パワーオンリセット処理終了後の内部電圧V<sub>pp</sub>の昇圧期間に、リフレッシュ要求信号RF RQを発生させることができる。なお、内部電圧V<sub>pp</sub>の昇圧期間では、上記のように、チップセレクト信号#CSが非アクティブに設定される。このため、図6で説明したように、リフレッシュ実施信号発生回路130は、2つのカウント値CNT1、CNT2が一致するまで、リフレッシュ実施信号#RFを連続的に発生させることができる。

#### 【0099】

図15は、図12の第2の発振信号OSC2を示す説明図である。図15（a）は、プリセット機能を有していない第1のカウンタ121を用いた場合に発生する第2の発振信号OSC2'を示している。図15（b）は、プリセット機能を有する第1のカウンタ121Bを用いた場合に発生する第2の発振信号OSC2を示している。

#### 【0100】

図15（a）に示すように、プリセット機能無しの第1のカウンタ121を用いる場合には、リセット期間T<sub>r</sub>（図13）が終了した後に、比較的長い周期（約32μs）の発振信号OSC2'が生成される。これは、プリセット機能無しの第1のカウンタ121を用いる場合には、リフレッシュ実施信#RFは、リフレッシュタイマ110から出力されるリフレッシュタイミング信号RF TMの周期に応じて生成されるためである。

#### 【0101】

一方、図15（b）に示すように、プリセット機能付きの第1のカウンタ121Bを用いる場合には、リセット期間T<sub>r</sub>（図13）が終了した後に、比較的短い周期（例えば約50ns）の発振信号OSC2が生成される。これは、プリセット機能付きの第1のカウンタ121Bを用いる場合には、リフレッシュ実施信

号# R Fは、2つのカウンタ121 B, 122の出力が一致するまで連続的に生成されるためである。なお、2つのカウンタ121 B, 122の出力が一致した後では、図15(a)と同様に、比較的長い周期(約 $32\mu\text{s}$ )の発振信号OSC2が生成される。

#### 【0102】

このように、内部電圧 $V_{pp}$ の昇圧期間において、周波数の高い発振信号OSC2を、電荷量供給能力が高い第2の電圧生成回路320に供給すれば、内部電圧 $V_{pp}$ を比較的早期に所定の電圧に到達させることができる。この結果、電源投入直後から外部アクセスが実行可能となるまでの期間(すなわち、電源投入処理期間)をかなり短縮することが可能となる。

#### 【0103】

なお、本実施例では、電源投入処理時に、第1のカウンタ121 Bにプリセット値が設定されているが、これに代えて、第2のカウンタにプリセット値が設定されるようにしてもよい。また、第1および第2のカウンタの双方に異なるプリセット値が設定されるようにしてもよい。

#### 【0104】

一般には、リフレッシュ制御部は、半導体メモリ装置の電源投入処理時に、2つのカウンタの出力値を異なる値に設定するための設定部を備えていればよい。

#### 【0105】

ところで、本実施例では、第2の電圧生成回路320は、リフレッシュコントローラ70 Bから供給されるリフレッシュ実施信号# R Fを利用して、内部電圧 $V_{pp}$ を生成している。しかしながら、これに代えて、パルス信号供給部を追加して、パルス信号供給部から供給されるパルス信号(リフレッシュ実施信号# R Fに相当)を利用して、内部電圧 $V_{pp}$ を生成するようにしてもよい。

#### 【0106】

上記のようにパルス信号供給部を追加する場合には、第2の電圧生成回路320は、電源投入処理時のみに、パルス信号供給部から与えられるパルスを利用するようにしてもよい。そして、この場合には、第2の電圧生成回路320は、メモリチップの電源投入処理後には、外部アクセス実施信号# E Xとリフレッシュ

実施信号# R Fとを用いて、内部電圧 $V_{pp}$ を生成すればよい。

#### 【0107】

また、上記のように電源投入処理時のみにパルス信号供給部を用いる場合には、第1のカウンタ121Bとプリセット値設定部129とに代えて、電源投入処理時に所定値を出力するための出力部を用いることができる。こうすれば、パルス信号供給部に所定の周期信号（例えば、リフレッシュタイミング信号RFTM）を供給せずに済むという利点がある。

#### 【0108】

ただし、パルス信号供給部が、所定の周期信号の発生回数をカウントするための周期信号カウンタと、電源投入処理時に周期信号カウンタに所定値を設定するための設定部と、を備えていれば、電源投入処理時にパルス信号を連続的に第2の電圧生成回路に供給することができると共に、電源投入処理後にもパルス信号を第2の電圧生成回路に供給することができるという利点がある。

#### 【0109】

また、パルス信号供給部が、上記のように周期信号カウンタと設定部とを備える場合には、周期信号カウンタとパルス信号カウンタとは、電源投入処理後にリフレッシュ動作の実行に利用されるカウンタで構成されていてもよい。このように、2つのカウンタをリフレッシュコントローラとパルス信号供給部とで共用すれば、パルス信号供給部を追加する場合にも、半導体メモリ装置の回路規模を比較的小さくすることができる。

#### 【0110】

一般には、パルス信号供給部は、電源投入処理時に所定値を出力するための出力部と、パルス信号の発生回数をカウントするためのパルス信号カウンタと、を備えていればよい。そして、パルス信号供給部は、電源投入処理時に、出力部からの出力値と、パルス信号カウンタからの出力値と、が一致するまで連続的にパルス信号を発生させればよい。こうすれば、パルス供給部は、電源投入処理時に、内部電圧を比較的早期に所定の電圧まで到達させることができる。

#### 【0111】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨

を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

#### 【0112】

(1) 上記実施例では、第1のカウンタ121として、12ビットのカウンタが用いられているが、これに代えて、より少ないビット数のカウンタが用いられていてもよい。こうすれば、リフレッシュコントローラ70の回路規模を比較的小さくすることができるという利点がある。例えば、第1のカウンタ121は、2ビットのカウンタであってもよい。この場合には、比較回路124は、第1のカウンタ121からの2ビットと、第2のカウンタ122からの下位2ビットと、を比較すればよい。なお、第1のカウンタ121が2ビットのカウンタである場合には、リフレッシュ動作を3回まで延期することができる。

#### 【0113】

一般には、第1のカウンタのビット数が、第2のカウンタのビット数よりも小さく設定されている場合には、リフレッシュ要求信号発生部は、第1のカウンタからの出力と、第2のカウンタからの一部の出力と、を用いて、リフレッシュ要求信号を発生させればよい。

#### 【0114】

(2) 上記実施例では、第2のカウンタ122から出力される第2のカウント値CNT2は、リフレッシュアドレスRFA9～RFA20として利用されている。このため、第2のカウンタ122のビット数は、メモリセルアレイに含まれる行数(4096行)に整合するように、12ビットに設定されている。しかしながら、これに代えて、リフレッシュアドレス発生部を別途設けるようにしてもよい。この場合には、第2のカウンタ122を、より少ないビット数のカウンタで構成することができる。ただし、上記実施例のように、第2のカウンタ122から出力される第2のカウント値CNT2をリフレッシュアドレスRFA9～RFA20として利用すれば、リフレッシュアドレス発生部を別途準備せずに済むため、比較的簡単にリフレッシュコントローラを構成することができるという利点がある。

#### 【0115】

(3) 上記実施例では、9ビットの列アドレスA0～A8のうちの最下位3ビットA0～A2がページアドレスに割り当てられているが、これに代えて、最上位3ビットA6～A8をページアドレスに割り当てるようにしてもよいし、より少数またはより多数のビット数をページアドレスに割り当てるようにしてもよい。

#### 【0116】

一般には、列アドレスのうちの所定の少なくとも1ビットが、ページアドレスに割り当てられていればよい。そして、外部アクセス制御部は、ページアドレスのみが変化する場合には、行アドレスによって選択されるワード線を活性化状態で維持すればよい。また、リフレッシュ制御部は、該ワード線が活性化状態で維持される場合には、ページアドレス以外のアドレスビットが変化するまで、リフレッシュ実施信号の発生を延期すればよい。

#### 【0117】

(4) 上記実施例では、ページモードアクセスが実行される場合について説明したが、ページモードアクセスは実行されなくてもよい。この場合にも、リフレッシュ周期毎にアドレスA0～A20を変更せずに済むため、換言すれば、同一のアドレスA0～A20が1つのリフレッシュ周期以上連続することが許容されるため、ロングアクセス制限が緩和される。ただし、本発明の効果は、ページモードアクセスが実行されるような場合に、顕著となり、ページモードアクセスを効率よく実行することができる。

#### 【0118】

(5) 上記実施例では、リフレッシュ要求信号発生回路120は、2つのカウント値CNT1、CNT2を比較するための比較回路124を備えているが、これに代えて、2つのカウント値CNT1、CNT2の差分を算出する減算器を備えるようにしてもよい。この場合には、リフレッシュ要求信号発生回路は、減算器の出力値が1以上である場合に、リフレッシュ要求信号RFRQをアクティブ（Hレベル）に設定すればよい。

#### 【0119】

また、上記実施例では、リフレッシュ動作が延期されると、リフレッシュ要求信号RFRQはアクティブ（Hレベル）のまま維持されている。しかしながら、

これに代えて、リフレッシュ要求信号 RFRQ は、リフレッシュ実施信号 #RF と同様に、リフレッシュが実施される毎に、一旦非アクティブ（L レベル）に設定され、再度、アクティブ（H レベル）に設定されるようにしてもよい。

#### 【0120】

一般には、リフレッシュ要求信号発生部は、リフレッシュタイミング信号の発生回数とリフレッシュ実施信号の発生回数との差分が 1 以上である場合に、リフレッシュ要求信号を発生させればよい。

#### 【0121】

（6）第 2 実施例では、内部電圧生成回路 300 に含まれる第 1 および第 2 の電圧生成回路 310, 320 は、外部電圧 Vcc を用いて、外部電圧 Vcc よりも高い内部電圧 Vpp を生成している。しかしながら、内部電圧生成回路 300 は、外部電圧 Vcc を用いて、外部電圧よりも低い内部電圧（負値を含む）を生成するようにしてもよい。

#### 【0122】

一般には、内部電圧発生部は、チャージポンプ回路を含み、外部から供給される電圧を用いて、前記半導体メモリ装置の内部電圧を生成すればよい。

#### 【図面の簡単な説明】

【図 1】 第 1 実施例におけるメモリチップ 100 の端子の構成を示す説明図である。

【図 2】 チップセレクト信号 #CS の信号レベルに応じたメモリチップ 100 の動作状態の区分を示す説明図である。

【図 3】 メモリチップ 100 の動作の概要を示すタイミングチャートである。

【図 4】 メモリチップ 100 内部の全体構成を示すブロック図である。

【図 5】 リフレッシュコントローラ 70 の内部構成を示すブロック図である。

【図 6】 図 5 のリフレッシュ実施信号発生回路 130 の内部構成を示すブロック図である。

【図 7】 オペレーションサイクルにおけるリフレッシュ動作を示すタイミ

ングチャートである。

【図 8】 図 7 の期間 P 1 5 におけるリフレッシュ動作を詳細に示すタイミングチャートである。

【図 9】 スタンバイ状態におけるリフレッシュ動作を示すタイミングチャートである。

【図 1 0】 図 9 の期間 P 2 5 におけるリフレッシュ動作を詳細に示すタイミングチャートである。

【図 1 1】 第 2 実施例におけるメモリチップ 1 0 0 B 内部の全体構成を示すブロック図である。

【図 1 2】 内部電圧生成回路 3 0 0 の内部構成を示すブロック図である。

【図 1 3】 電源投入処理時の内部電圧  $V_{pp}$  の変化を示す説明図である。

【図 1 4】 リフレッシュコントローラ 7 0 B の内部構成を示すブロック図である。

【図 1 5】 図 1 2 の第 2 の発振信号 OSC 2 を示す説明図である。

【符号の説明】

- 2 0 …メモリブロック
- 2 2 …メモリセルアレイ
- 2 4 …行デコーダ
- 2 6 …列デコーダ
- 2 8 …ゲート
- 3 0 …アドレスバッファ
- 4 0 …データ入出力バッファ
- 5 0 …アドレス遷移検出回路 (A T D 回路)
- 6 0, 7 0 …コントローラ
- 6 0 …外部アクセスコントローラ
- 7 0, 7 0 B …リフレッシュコントローラ
- 8 0 …行プリデコーダ
- 1 0 0, 1 0 0 B …メモリチップ
- 1 1 0 …リフレッシュタイマ

1 2 0, 1 2 0 B…リフレッシュ要求信号 (&リフレッシュアドレス) 発生回路

1 2 1, 1 2 1 B…第 1 のカウンタ

1 2 2…第 2 のカウンタ

1 2 4…比較回路

1 2 9…プリセット値設定部

1 3 0…リフレッシュ実施信号発生回路

1 3 1…OR ゲート

1 3 2…AND ゲート

1 3 3, 1 3 4…パルス発生回路

1 3 5…RS フリップフロップ

1 3 6…インバータ

1 3 7…遅延回路

3 0 0…内部電圧生成回路

3 1 0…第 1 の電圧生成回路

3 1 2…発振回路

3 1 4…チャージポンプ回路

3 1 6…レベル検出回路

3 2 0…第 2 の電圧生成回路

3 2 2…反転入力型の OR ゲート

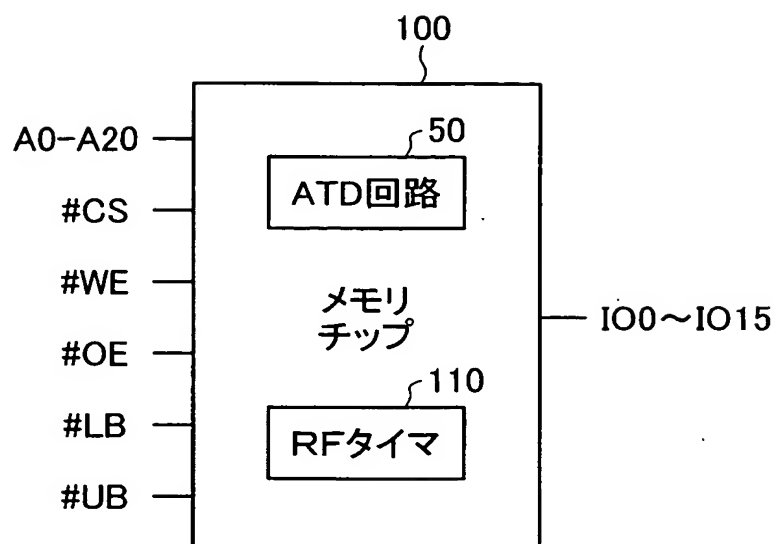
3 2 4…チャージポンプ回路

3 3 0…出力キャパシタ



【書類名】 図面

【図 1】



【図 2】

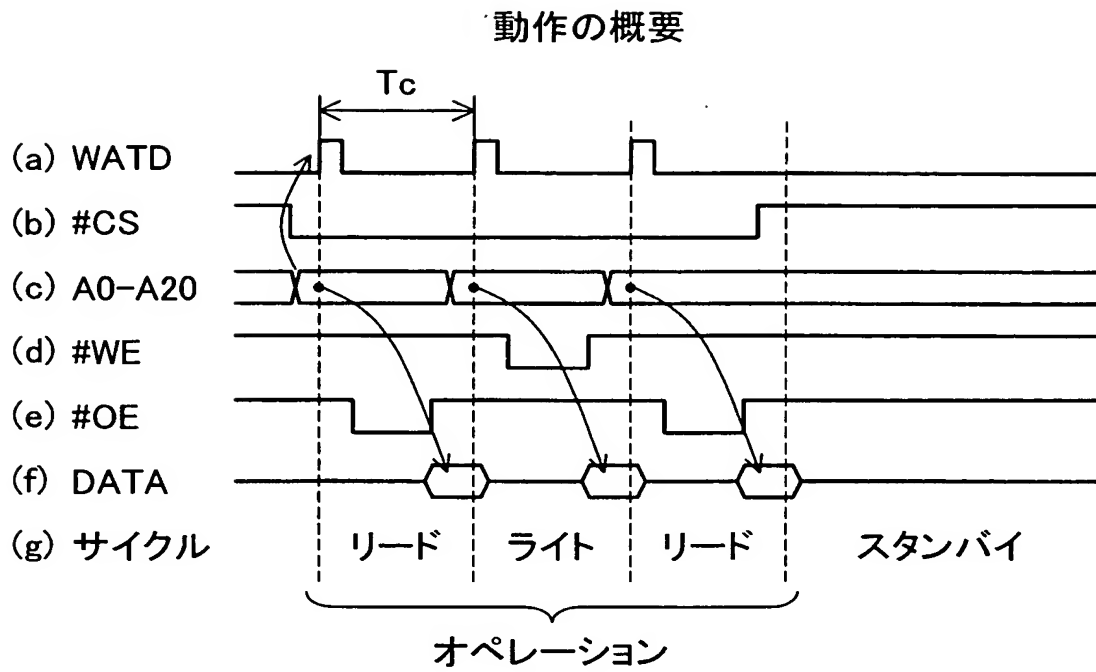
	#CS	リフレッシュ モード (注)
オペレーション	L	モード1
スタンバイ	H	モード2

(注)

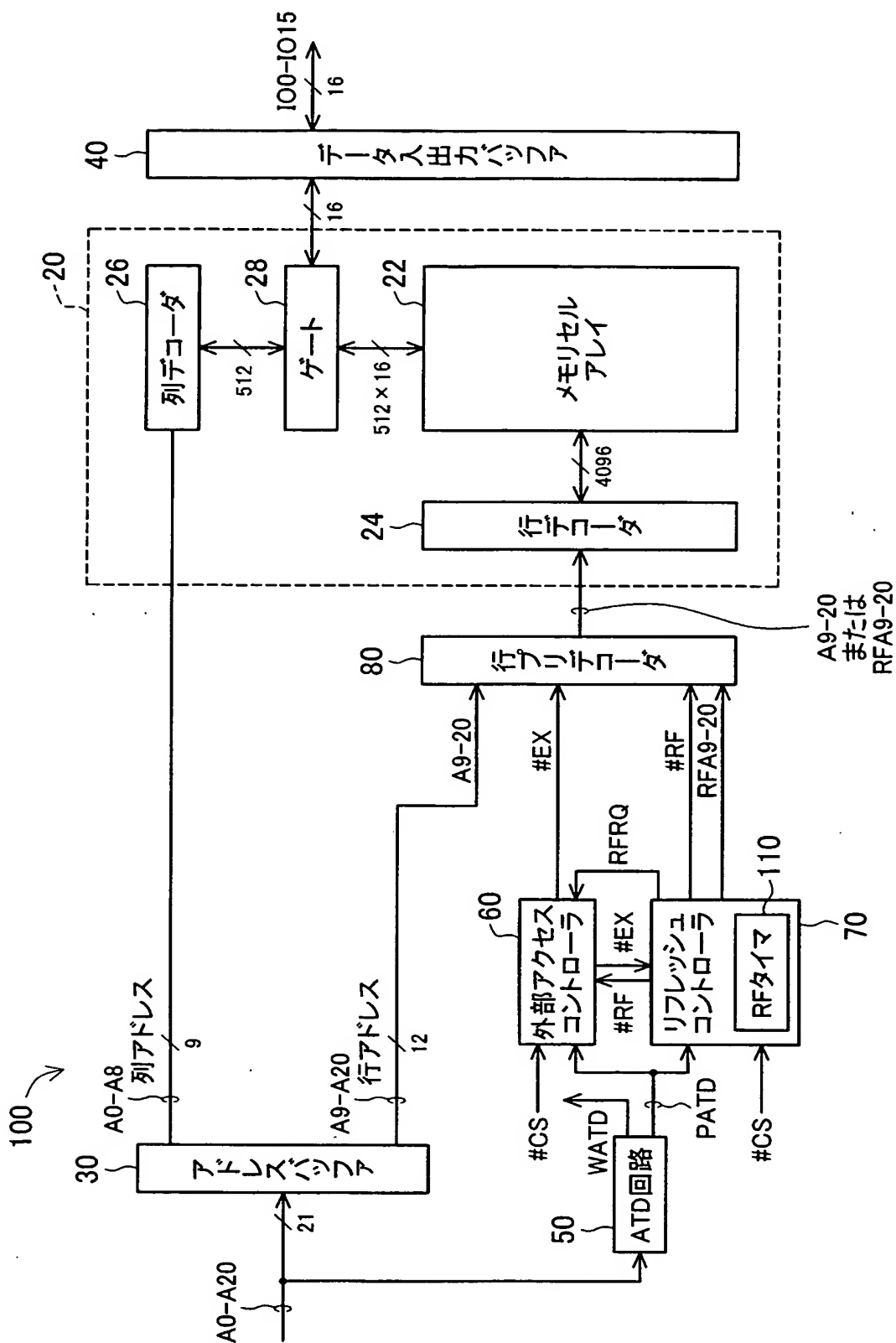
リフレッシュモード1 : メモリチップ内部でリフレッシュ  
タイミング信号が発生した後に、  
PATD信号に同期してリフレッシュ  
を実行する

リフレッシュモード2 : メモリチップ内部でのリフレッシュ  
タイミング信号の発生に応じて、  
リフレッシュを実行する  
(アドレス入力は不要)

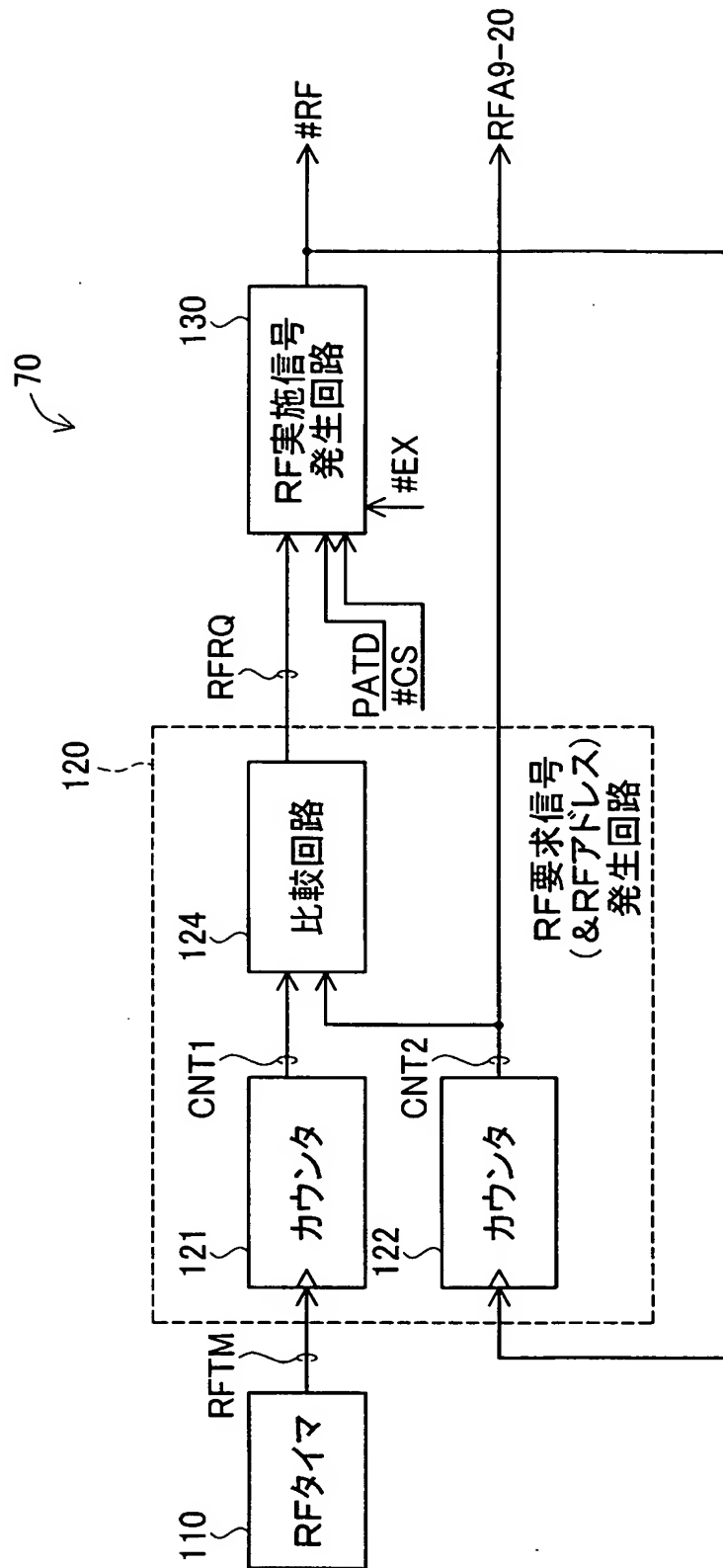
【図 3】



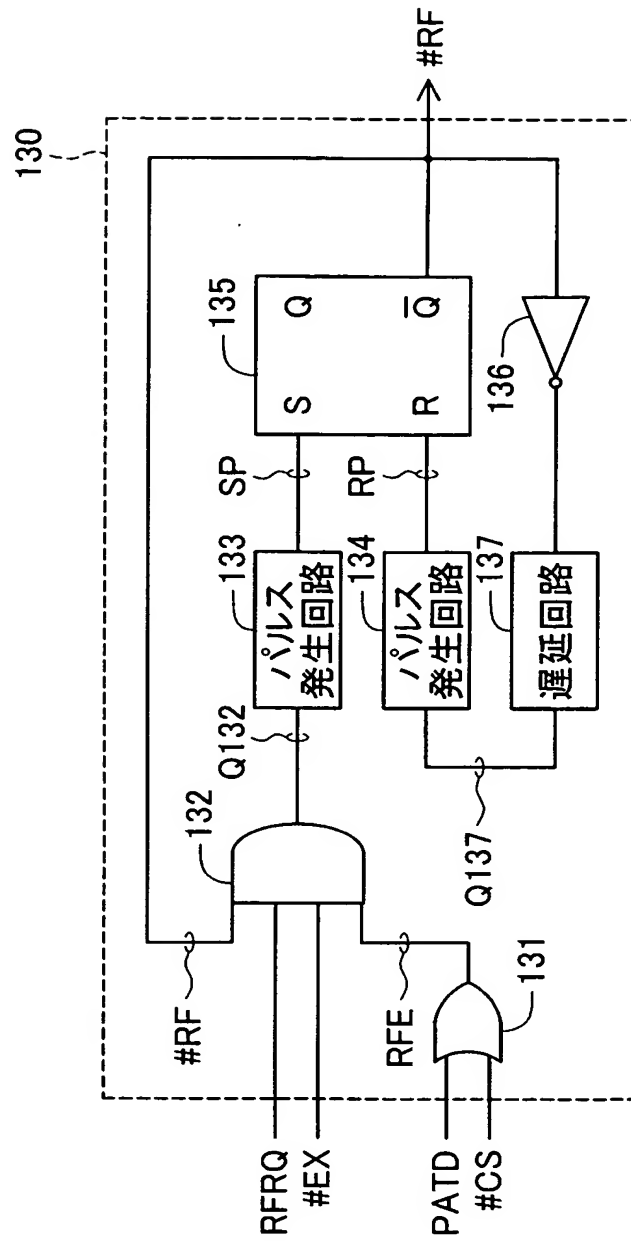
【図4】



【図 5】

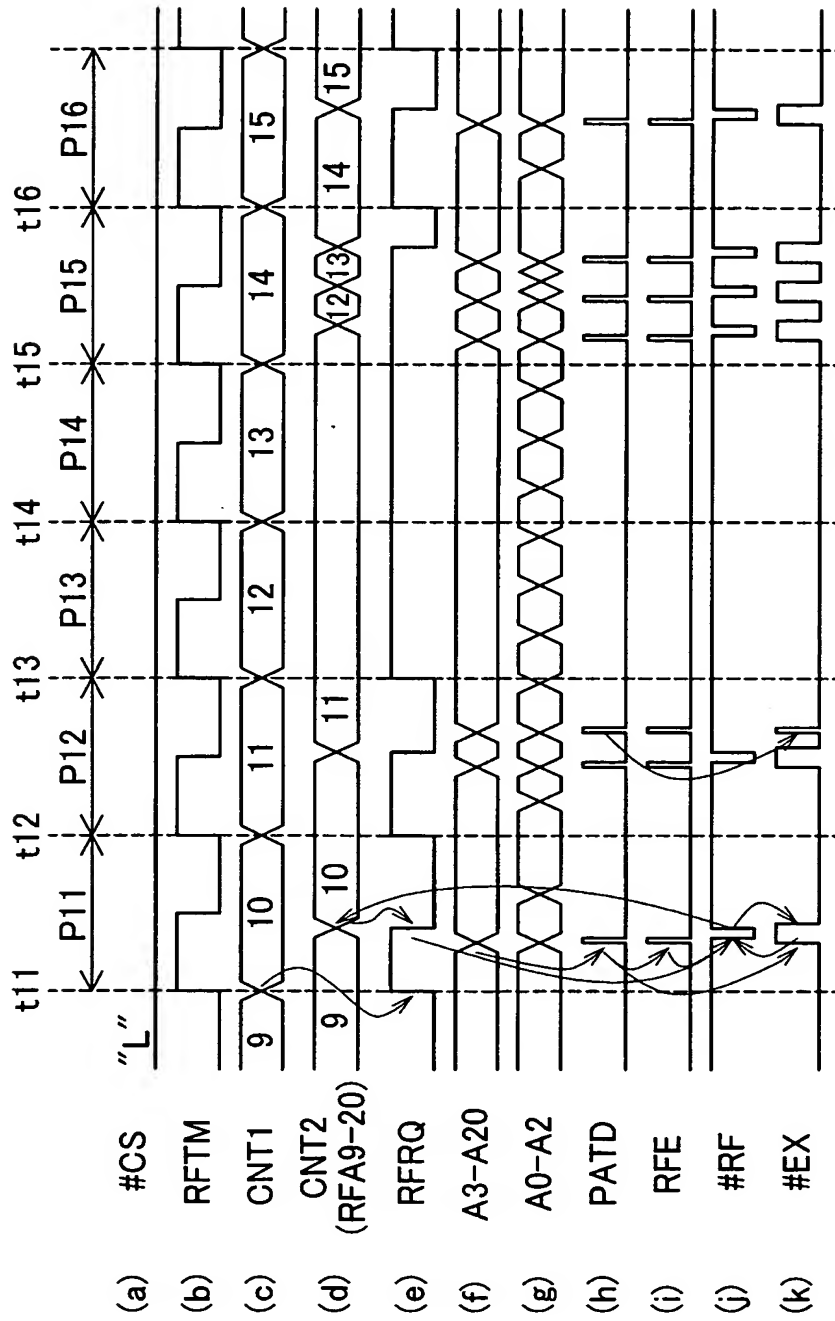


【図 6】

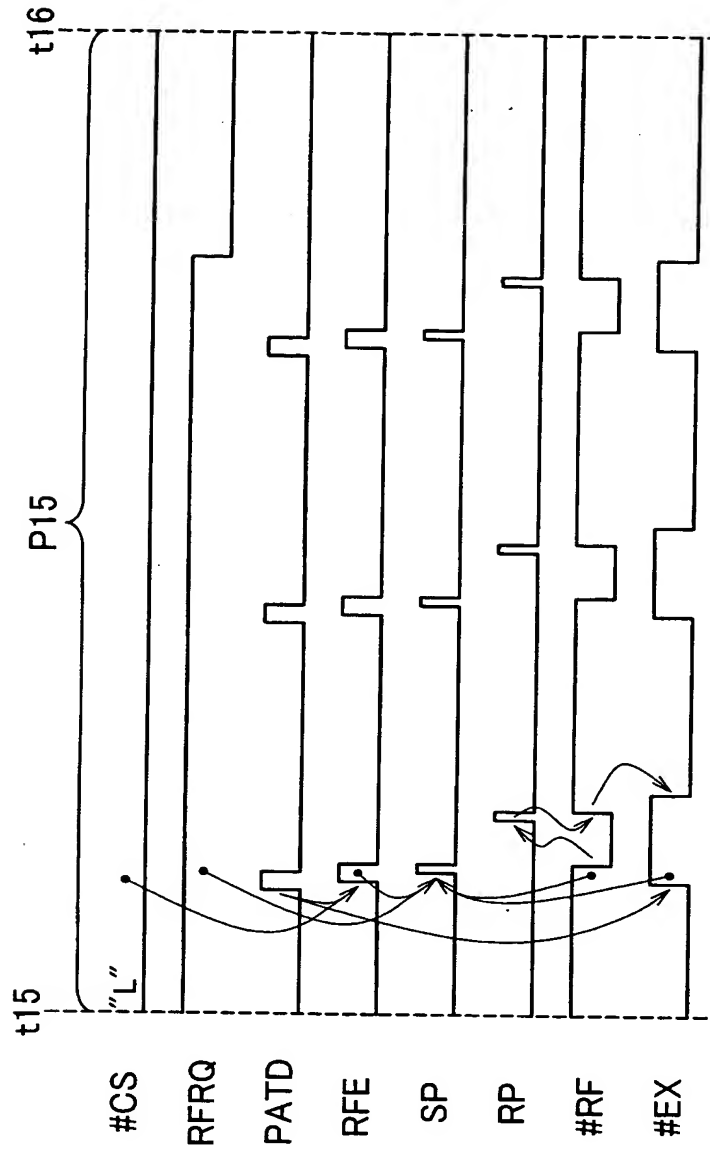


【図 7】

オペレーションサイクルでのリフレッシュ動作

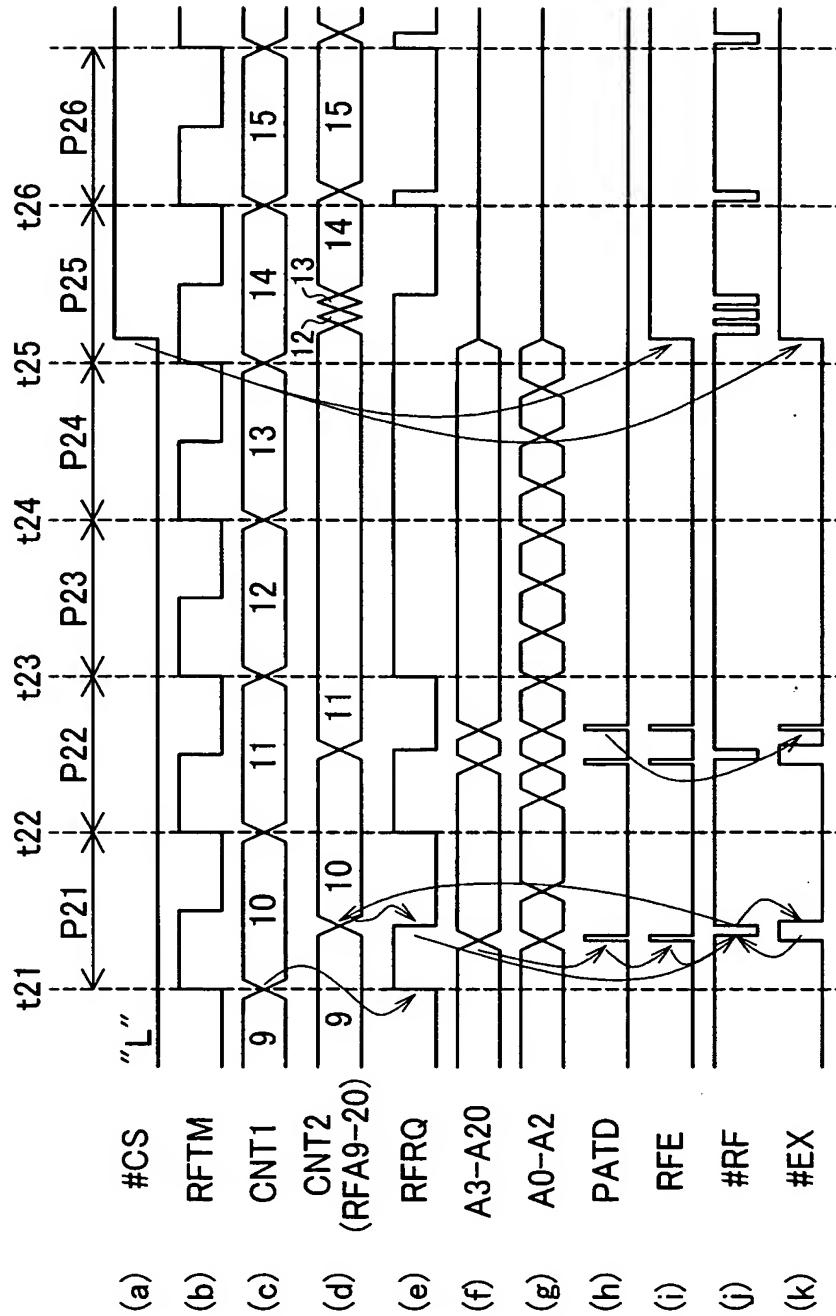


【図 8】



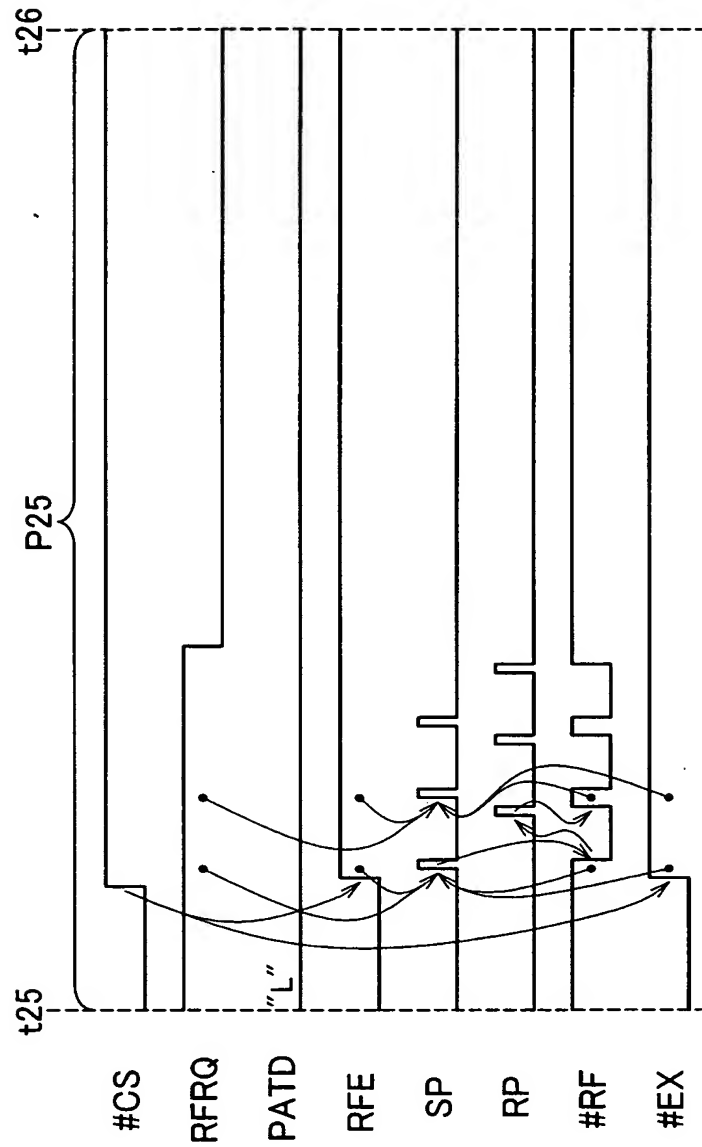
【図 9】

スタンバイ状態でのリフレッシュ動作

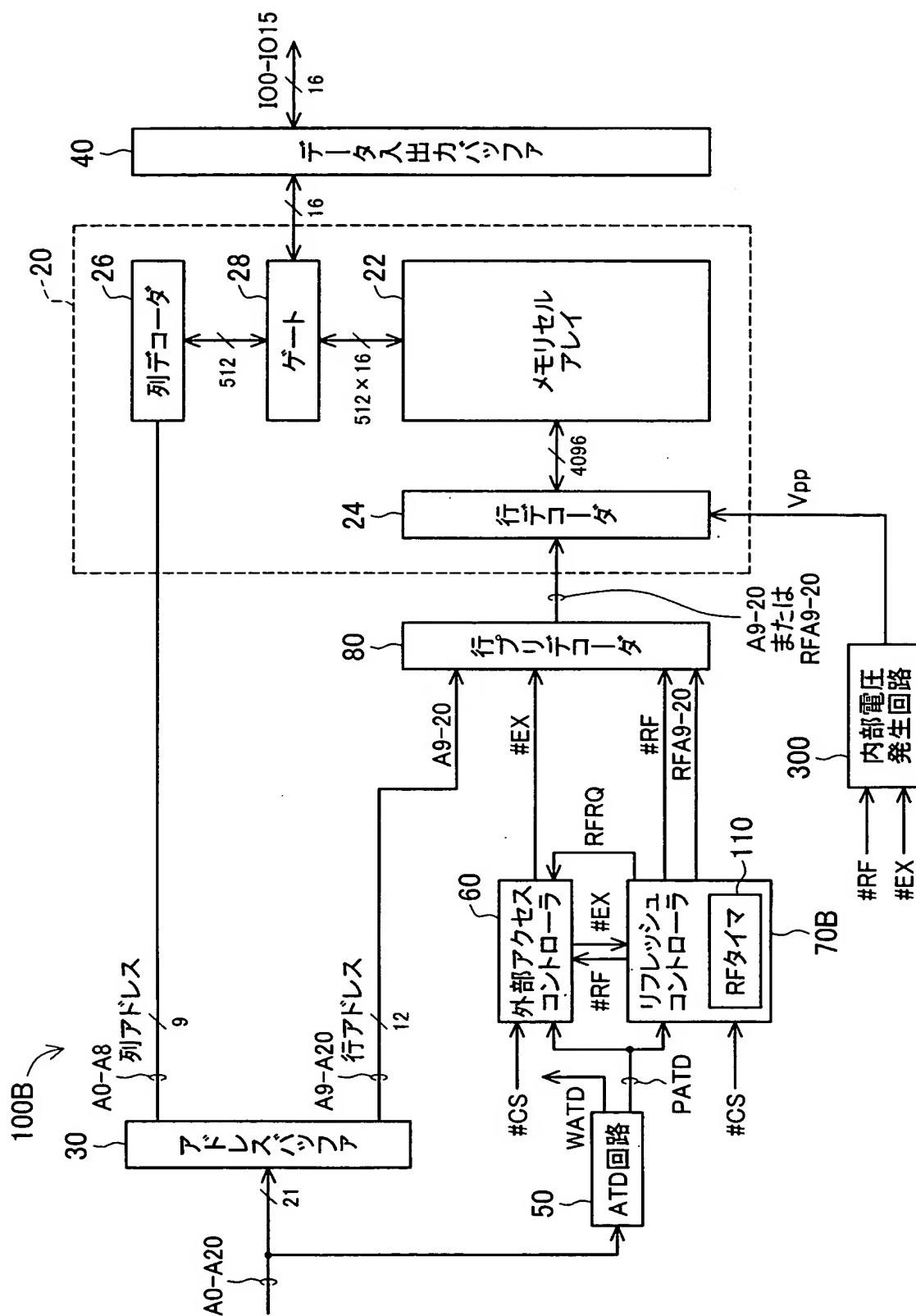




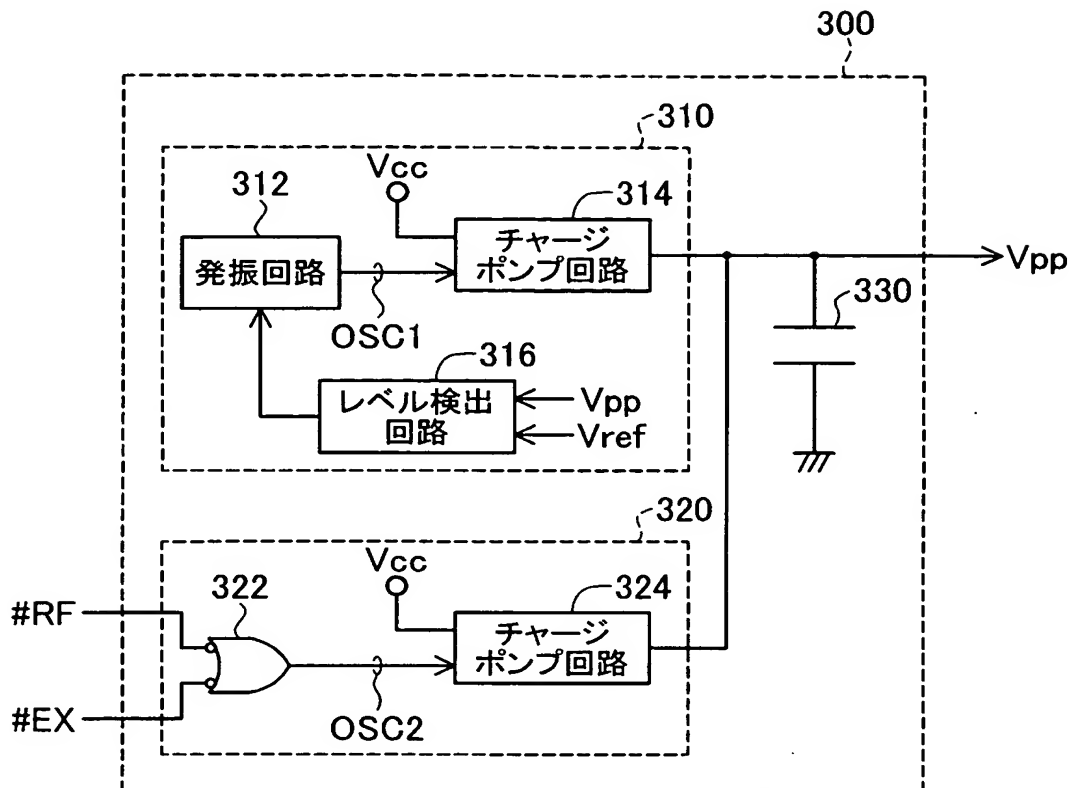
【図 10】



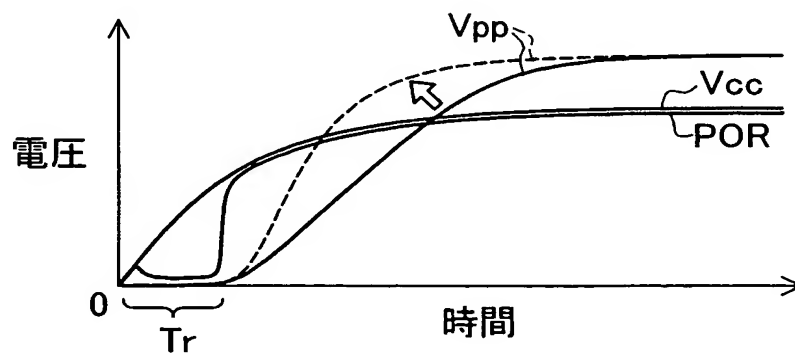
【図 11】



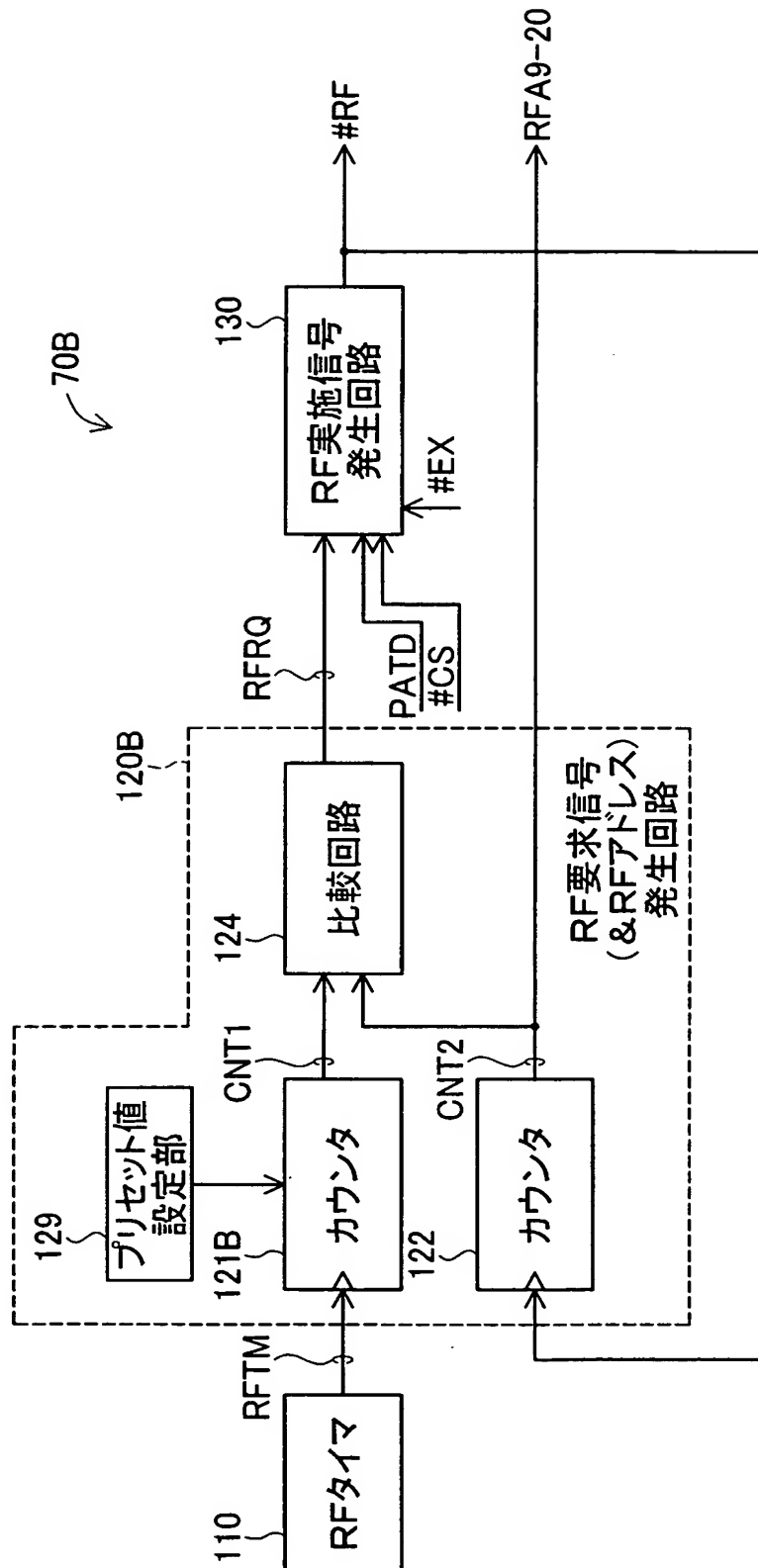
【図 12】



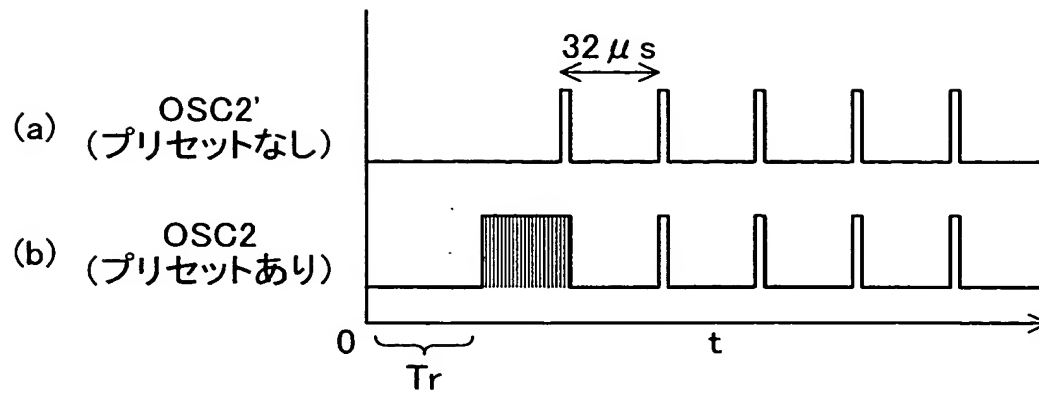
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 リフレッシュ動作を必要とする半導体メモリ装置におけるロングサイクル制限を緩和することのできる技術を提供する。

【解決手段】 半導体メモリ装置は、リフレッシュ動作を実行するためのリフレッシュ制御部を備える。リフレッシュ制御部は、リフレッシュタイミング信号発生部と、リフレッシュ要求信号発生部と、リフレッシュ実施信号発生部と、を備える。リフレッシュ要求信号発生部は、リフレッシュタイミング信号の発生回数をカウントする第1のカウンタと、リフレッシュ実施信号の発生回数をカウントする第2のカウンタと、を備え、2つの発生回数の差分が1以上である場合に、リフレッシュ要求信号を発生させる。リフレッシュ実施信号発生部は、該差分が2以上である場合には、リフレッシュタイミング信号の1周期内にリフレッシュ実施信号を2回以上発生可能である。

【選択図】 図5



特願 2 0 0 3 - 1 1 5 3 5 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社